مجلة جامعة تشرين للبحوث والدراسات العلمية – سلسلة العلوم الأساسية المجلد (41) العدد (1) 2019
Tishreen University Journal for Research and Scientific Studies - Basic Sciences Series Vol. (41) No. (1) 2019

تحسين خوارزميات إعادة التموضع الفيزيائي ضمن مصفوفة البوابات القابلة للبرمجة FPGA

الدكتور كمال محمود عفيصه•
الدكتور محمد ياسين صبيح••
ربى جرجس خيجة•••

(تاريخ الإيداع 30 / 10 / 2018. قُبِل للنشر في 10 / 2 /2019)

□ ملخّص □

يقدم البحث تعديلاً على خوارزمية التموضع المستخدمة في تحديد أماكن توضع موارد FPGA "العناصر الالكترونية التي تم برمجتها" على الشريحة بهدف تقليل عدد البلوكات المستخدمة من الشريحة وذلك عن طريق التعديل على VPR package المستخدم من قبل برنامج QUARTIZ والذي يتحكم بخوارزميات التموضع والتوجه حيث تحدد الأخيرة طريقة توزيع العناصر الإلكترونية المحققة للنظام ضمن شريحة FPGA، ومن خلال التعديل المقترح تم تقليل عدد البلوكات التي تم برمجتها بنسبة تصل إلى 30% الأمر الذي قلل من استهلاك الطاقة وقلل من الانتشار الحراري للشريحة لكون هذه الخوارزميات تعد عاملاً يؤثر بشكل كبير في عميلة النشر الحراري للشريحة .

الكلمات المفتاحية : VPR ، خوارزمية التموضع ، التوضع الكتلي .

• **أستاذ مساعد ، قسم الفيزياء ، كلية العلوم ، جامعة تشرين، اللاذقية، سورية.**
•• **أستاذ مساعد ، قسم النظم و الشبكات الحاسوبية، كلية الهندسة المعلوماتية، جامعة تشرين، اللاذقية، سورية.**
••• **طالبة دكتوراه ، قسم الفيزياء، كلية العلوم، جامعة تشرين، اللاذقية، سورية.**

مجلة جامعة تشرين للبحوث والدراسات العلمية – سلسلة العلوم الأساسية المجلد (41) العدد (1) 2019
Tishreen University Journal for Research and Scientific Studies - Basic Sciences Series Vol. (41) No. (1) 2019

Improve physical positioning algorithms within the FPGA array

Dr. Kamal Mahmoud Afisa *
Dr. Mohammed Yassin Subaih **
Roba.G. Khega ***

(Received 30 / 10 / 2018. Accepted 10 / 2 /2019)

□ ABSTRACT □

There has been a dramatic increase in the number of circuit designs that can be implemented in a single FPGA chip .The difficulties encountered by the "field-programmable gate array" (FPGA) segments are similar in nature to the problems experienced by ASIC Application Specific Integrated Circuit designs such as design and design dimensions, power loss problems and time delay in the transmission of electrical signals Between design units although the techniques used to solve ASIC problems are different from FPGAs, Solve ASIC-created FPGA problems. The search provides an adjustment to the positioning algorithm used to determine where the FPGA resources are placed "electronic elements programmed" on the chip in order to reduce the number of blocks used by the chip by modifying the VPR package used by QUARTIZ which controls Positioning and orientation algorithms. The latter specifies the distribution of the electronic elements achieved in the FPGA chip. The proposed modification reduced the number of blocks programmed by up to 30%, which reduced the energy consumption and reduced the thermal spread of the chip because these algorithms are factor that greatly affects the thermal deployment of the chip.

Keywords: VPR, positioning algorithm, mass positioning

*** Associate Professor, Department of Physics, Faculty of Science, Tishreen University, Lattakia, Syria.**
**** Assistant Professor, Department of Computer Systems and Networks , Faculty of Informatics Engineering, Tishreen University, Lattakia, Syria.**
***** Postgraduate Student, Department of Physics, Faculty of Science, Tishreen University, Lattakia, Syria.**

مقدمة:

لقد شهدت الآونة الأخيرة زيادة هائلة في عدد تصاميم الدارات التي يمكن تنفيذها في شريحة FPGAواحدة. إن الصعوبات التي تواجه شرائحFPGA "field-programmable gate array" مماثلة في طبيعتها للصعوبات التي تعاني منها تصاميم ASIC (Application Specific Integrated Circuit)" تصميم الدارات المتكاملة لتطبيق معين " من حيث شكل التصميم وأبعاده ومشاكل الضياعات في الطاقة و التأخير الزمني في نقل الاشارات الكهربائية بين وحدات التصميم ، بالرغم من كون التقنيات المستخدمة في حل مشاكل ASIC مختلفة عن FPGA .

أمام التقدم التكنولوجي المتسارع الذي يشهده عالم الالكترونيات ازداد الطلب على البنى الالكترونية القائمة على وحدات البوابات القابلة للبرمجة FPGA , نظراً للخصائص التي تمتاز بها هذه الوحدات والتي تتعلق بانخفاض تكاليف التطوير وسرعة بناء المنظومات الالكترونية وقابلية محاكاتها والتعديل عليها[1]. ولكن مع هذا التطور المتسارع بدأت تظهر اليوم عدة صعوبات مرتبطة بالتأخير الزمني للإشارات الفيزيائية التي يتم تناقلها بين وحدات التصميم القائم على شرائح FPGA بالإضافة إلى استهلاك ذاكرة ومساحة أكبر للتصميم ضمن الشريحة.[2]

أهمية البحث وأهدافه:

يهدف البحث إلى تقليل عدد المسارات الفيزيائية لشرائح FPGA بسبب المسارات الطويلة الناتجة عن التوزع الكتلي للعناصر ضمن الشريحة حيث يتم تحسين نتائج النقل من ناحية السرعة ، و تقليل الطاقة المستهلكة و تقليل عدد البلوكات التي يتم بناءها في الشريحة بالإضافة إلى تقليل الانتشار الحراري.

طرائق البحث ومواده:

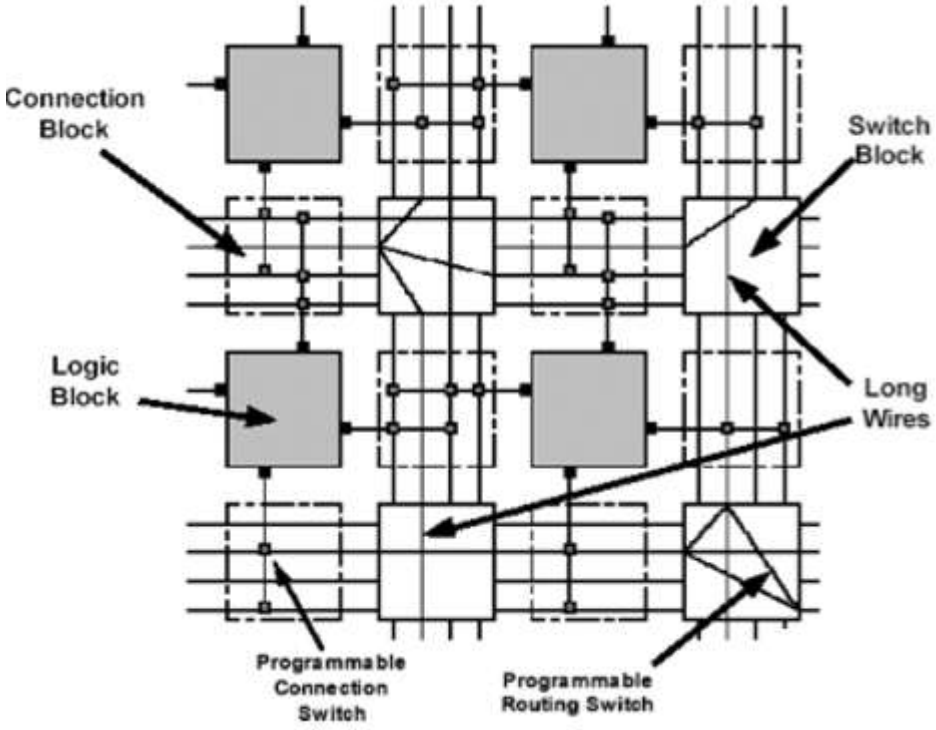
يعتمد البحث على استخدام الدارة FPGA وبرمجتها باستخدام VHDLوذلك من أجل عاملي التأخير الزمني واستهلاك الطاقة الناتجين عن إعادة ترتيب العناصر الالكترونية للتصميم المبرمج مما يحسن من النقل بين الوحدات الالكترونية لشرائح FPGA التي تعبر مادة البحث ، أخذت النتائج من برنامج QUARTIZ بسبب كون نتائج البرنامج قادرة على إظهار التغير الحاصل في ترتيب البلوكات والمسارات الفيزيائية أما الخوارزمية المقترحة فتم كتابة برنامجها باستخدام ملف TCL الذي يتحكم بVPR package

1. البنية الإلكترونية لشرائح FPGA:

إن مصفوفات البوابات الرقمية القابلة للبرمجة عبارة عن دارات متكاملة، و تتكون من مصفوفات من البوابات المنطقية، يمكن التحكم بتكوين كل بوابة وتحويلها من نوع إلى آخر مثلا من AND إلى NAND ومن NOR إلى NOT.يبين الشكل (1) الشكل العام لمنظومة FPGA.

شرائح الـ FPGA هي شرائح قابلة للبرمجة بشكلٍ صلب، أي أنه بإمكاننا برمجتها للحصول على أي تابع منطقي وذلك باستخدام لغة VHDL [1] بشكلٍ أساسي. من أهم مزايا الـ FPGA بالإضافة إلى كلفتها المنخفضة أنها تؤمن مرونة كبيرة في التصميم وقدرة على إعادة برمجتها .[3][2]

أما من الناحية التصميمية فتتكون FPGA من مجموعة من البلوكات والتي تؤدي مجموعة من الوظائف منها النقل ومنها التبديل ومنها بلوكات منطقية الشكل (1)

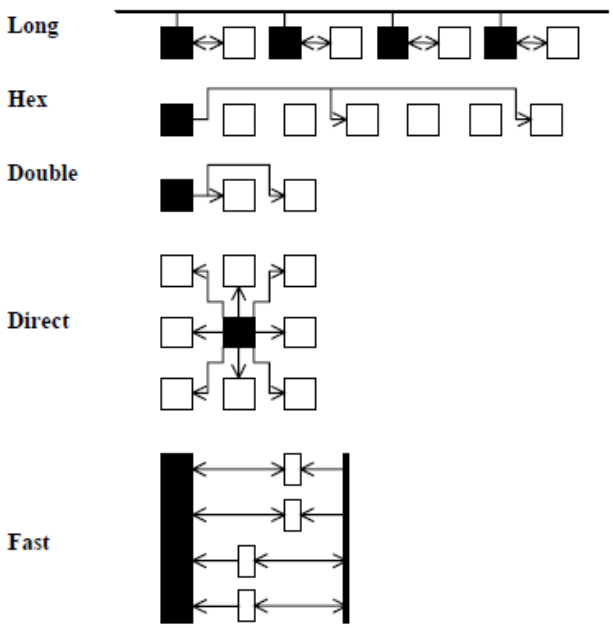


الشكل (1) البنية التصميمية لشرائح FPGA

2.المسارات الفيزيائية المستخدمة في ربط البلوكات في شرائحFPGA:

يعتمد بناء التصاميم الالكترونية باستخدام الـ FPGA على دمج الموارد غير المتجانسة وهي"أنواع مختلفة من البلوكات " مما يؤدي إلى وضع قيود إضافية على عملية توجيه المسارات. تعاني معظم خوارزميات تقدير الترابط في عملية توجيه المسارات من مشاكل في تحديد خصوصيات التموضع وتوجيه المسارات في شرائحFPGA[4]. حيث تمثل خوارزميات التموضع والتوجيه أساس التركيب الفيزيائي للتصميم المبرمج ويكون الهدف الأساسي منها هو التنبؤ والإصلاح لمشكلة تأخير التواصل بين الكتل وتقليل الطاقة والانتشار الحراري [4][3].

يبين الشكل (2) أنواع المسارات الفيزيائية الممكن استخدامها في بناء التصاميم الالكترونية والتي تحقق الربط بين الوحدات المنطقية CLBS حيث (المربعات البيضاء تشير إلى CLBS والمربعات السوداء تشير إلى قواطع توجيه المسارات). تمتد الخطوط الطويلة Longعلى كامل مساحة الشريحة، توجه الخطوط السداسية HEX الإشارات إلى ست وحدات CLB وفي أربعة اتجاهات، توجه الخطوط المزدوجة Double الإشارات إلى الوحدتين المنطقيتين الأولى أو الثانية أو ممكن أن يتم التوجيه في الاتجاهات الأربعة، تنقل الخطوط المباشرة directالإشارات بين الوحدات المتجاورة والخطوط السريعة هي روابط محلية لوحدات CLB. تتشابه كل من الخطوط HEX وDouble وdirect بالتأخير الزمني[6][5][4].



الشكل (2) المسارات الفيزيائية في شرائح FPGA

وبناء على ما سبق فهناك قيود في عملية التوجيه وربط العناصر تفرضها المسارات الفيزيائية لذلك لابد من استخدام عمليتين عند بناء التصاميم باستخدام شرائح FPGA الأولى خوارزميات التموضع placement algorithms والثانية خوارزميات التوجيه routing algorithms.

3.التوجيه في شرائح FPGA:

إن هيكلية FPGA ومسارات التوجيه فيها مختلفة تماما عن تصاميم ASIC،حيث تكمن الاختلافات بينهما في وجود ما يسمى الشبكات الطويلة في دارات FPGAS التي تربط بين وحدات CLBS المتباعدة بدون تأخير زمني يذكر. على العكس من ذلك، فإن المسافة الفيزيائية والتأخير بين الوحدتين هو الحقيقة الكامنة في تصاميم ASIC ، وبالتالي يجب أن تكون أدوات التصميم الفيزيائي في FPGA على إحاطة كاملة في التصميم الفيزيائي لمسارات النقل[2] نظراً لما تسببه المسارات الطويلة من مشاكل متعلقة باستخدام المزيد من بلوكات التوصيل.

تتضمن هيكلية FPGA الحديثة الموارد غير المتجانسة، حيث يتم توزيعها على أجزاء FPGA.وتعتمد العديد من تقنيات التموضع الحديثة على مبدأ التقسيم كأساس لها، يتم أيضاً تقسيمها إلى مناطق فرعية أصغر في كل خطوة من خوارزميات التموضع [6]، ثم يتم تقسيم الدارة إلى دارات فرعية أصغر وتخصيصها للمناطق الفرعية[2].

لكل منطقة فرعية دارة فرعية أصغر تم تعيينها بحيث تتوافق معها، تستمر عملية التقسيم هذه حتى تكون المناطق صغيرة بما فيه الكفاية، تقسيم الدارات إلى دارات فرعية يجب أن يحقق توازن الموارد المستخدمة في كل دارة فرعية مع الموارد المتاحة في كل من المناطق الفرعية[5][7].

4.التموضع في شرائح FPGA:

تشكل عملية التموضع الحجر الأساس لأي تركيبة فيزيائية جيدة للنظام، وهي مشكلة مدروسة على مستوى الخلية في تركيب FPGA ،إن شرائح FPGA الحالية قد ابتعدت عن التصميمات الهندسية بسبب وجود شبكات في هيكلية توجيه المسارات عبر الأسلاك ضمن الشريحة،وأصبحت الوحدات المنطقية متصلة ببعضها البعض، وبتأخير زمني مهمل

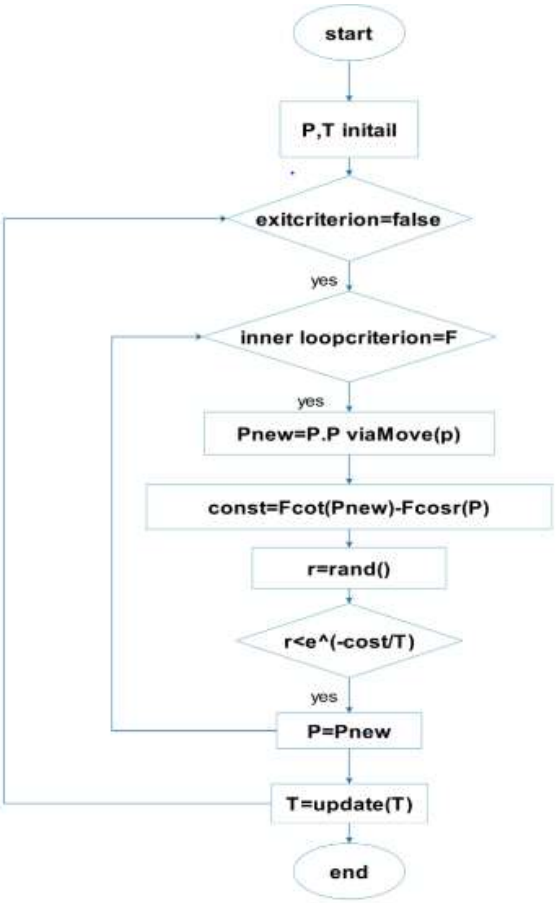
تقريباً، مما يؤدي إلى عدم قدرة تقنيات التموضع التقليدية لـ ASICعلى تحقيق التقليل في المسارات الفيزيائية وبالتالي عدم الحصول على نتائج عالية الجودة لشرائح الFPGA [8] .

يجب أن تكون تقنيات التموضع المستخدمة في هذه الشرائح مرتبطة بتفاصيل التصميم بالإضافة لتغيرات هيكلية التموضع السطحي ،في تطبيقات ASIC[9]، يتناسب طول السلك مع تأخيره الزمني، وهذا ليس هو الحال بالنسبة لتنفيذ التصاميم على FPGA [6][7].

تستخدم خوارزميات التموضع المولدات العشوائية والمعادلات لتحديد أماكن توضع العناصر الالكترونية ضمن الشريحة، يتم اختيار أماكن التموضع لتكون غير مرتبطة بالتصميم إلا من ناحية تابع الكلفة الذي يفيد في تحديد أماكن العناصر بحيث تحقق اقل كلفة ممكنة . تم تجميع خوارزميات التموضع فيما يسمى VPR PACKAGE الذي يشكل نواة التموضع والتوجيه في تصاميم FPGA المبينة على QUARTUZ وفيما يلي برمجة خوارزمية التوجيه المستخدمة في البرنامج

```
P=InitailPlacement();
T=InitialTemperature();

while(ExitCriterion()==False)
{While(InnerLoopCriterion()==False)
Pnew=PerturbPlacementViaMove(P);
deltaCost=Cost(Pnew)-Cost(P);
r=random(0,1);
if(r<exp(-deletaCost/T)
{
P=Pnew; /* Move Accepted*/
}
}
T=UpdateTemp(T);
}
```



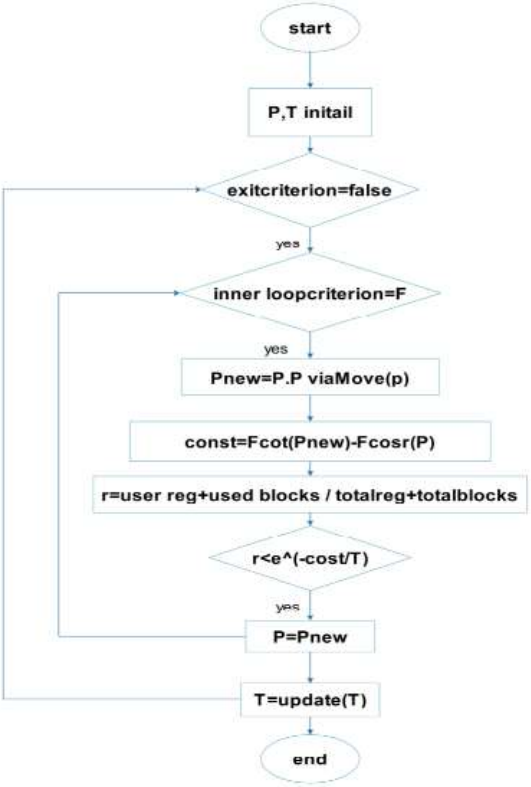
الخوارزمية المقترحة :

تم تصميم الخوارزمية المقترحة بحيث تحقق العلاقة بين التصميم وعدد البلوكات التي يحتاجها التصميم بحيث يكون للناتج المرتبط بالتصميم معادلة تتعلق بعد العناصر المنطقية التي يحتاجها التصميم ومن ثم تتم مقارنة الرقم الناتج مع حساب الكلفة .

وفيما يلي كود الخوارزمية المقترحة :

```
P=InitailPlacement();
T=InitialTemperature();

while(ExitCriterion()==False)
{While(InnerLoopCriterion()==False){
Pnew=PerturbPlacementViaMove(P);
deltaCost=Cost(Pnew)-Cost(P);
r=usedReg+usedlogicblock/totalreg+totallogicblock
if(r<exp(-deletaCost/T)
{
P=Pnew; /* Move Accepted*/
}
}
T=UpdateTemp(T);
}
```



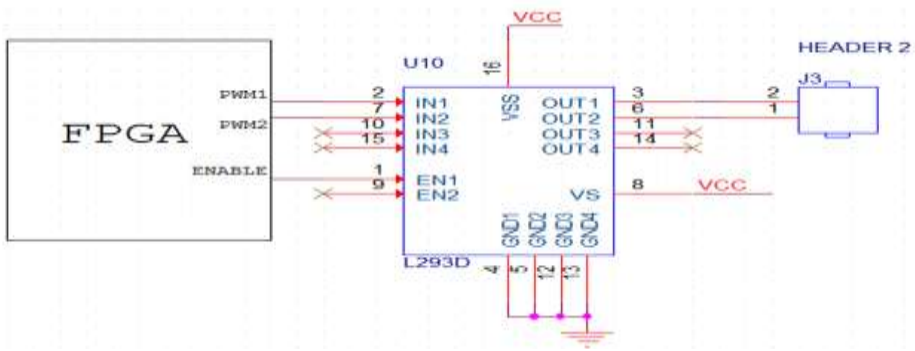
النتائج التجريبية:

اختبرت الخوارزمية المقترحة عن طريق تطبيق قيود على عملية التموضع لعدد من نماذج الدارات الالكترونية وفيما يلي نأتي على تحليل الأنظمة التي تم تصميمها ومقارنة وتحليل النتائج بعد تطبيق الخوارزمية المقترحة.

1 نظام قيادة محرك DC:

1.1 توصيف النظام:

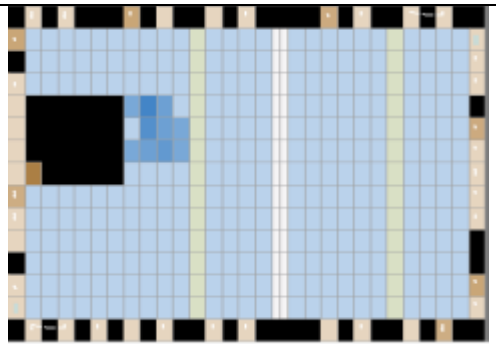
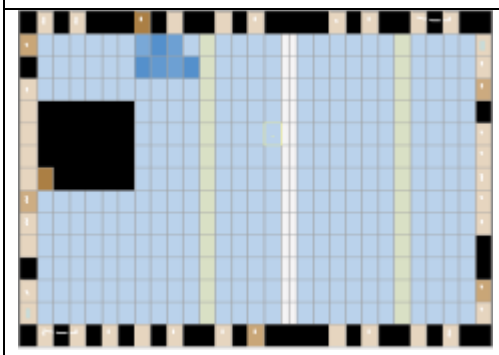
يوضح الشكل (3) نظام تحكم باتجاه وسرعة دوران محرك DC ،تتحكم الدارة الالكترونية بسرعة المحرك واتجاه دوران المحرك عبر التحكم بأقطاب دخل المتكاملة L293Dالتي تتكون من H–bridge،الغاية من الدارة المتكاملة l293d عدم استجرار تيارات كبيرة من الشريحةFPGA،أوامر التحكم تكون مقدمة من النموذج الفيزيائي المبني ضمن FPGA



الشكل (3) نظام تحكم باتجاه وسرعة دوران محرك DCمصمم على FPGA

نتائج الدارة الالكترونية قبل وبعد تطبيق الخوارزمية موضحة في الجدول (1) :

الجدول (1) نتائج دارة التحكم بسرعة واتجاه دوران محرك DC باستخدام FPGA

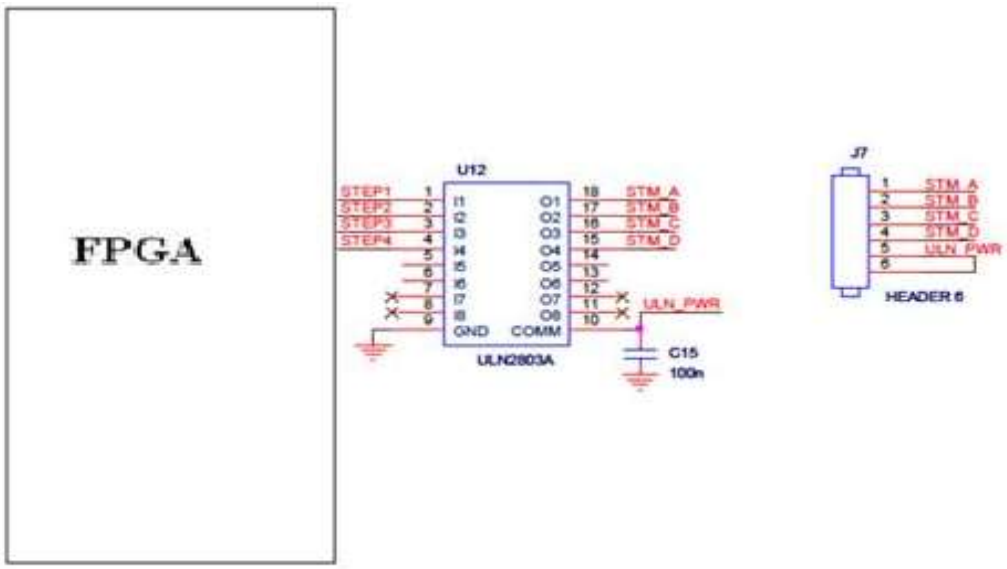
النظام	البلوكات المتشكلة ضمن FPGA قبل تطبيق الخوارزمية	البلوكات المتشكلة ضمن FPGA بعد تطبيق الخوارزمية المقترحة
التحكم بسرعة واتجاه دوران محرك DC		

من الجدول (1) نلاحظ أن استخدام الخوارزمية الأساسية قد حجزت10 بلوكات منطقية من الشريحة، بينما بعد استخدام الخوارزمية المقترحة استطعنا تقليل عدد البلوكات المنطقية الى 7 بلوكات منطقية، وهذا ناتج عن تغيير التعديلات التي تم اجراءها على تابع الكلفة بحيث تم تعديل احتمال تموضع البلوك وذلك بالربط بين عدد المسجلات الإجمالية وعدد البلوكات الإجمالية وعدد البلوكات والمسجلات المستخدمة.

2 نظام قيادة محركStepper:

1.2. توصيف النظام:

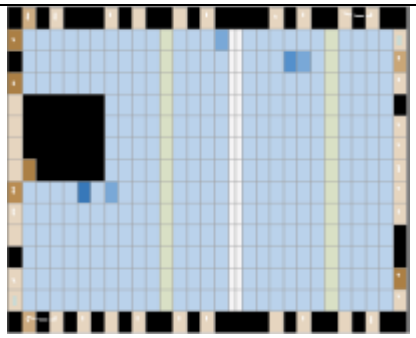
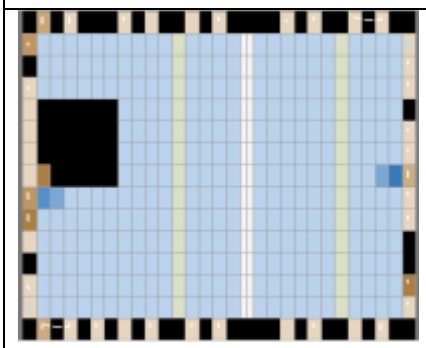
يوضح الشكل (4) دارة التحكم بمحرك خطوي باستخدام FPGAحيث تتحكم الدارة الالكترونية بخطوة المحرك واتجاه الدوران، الغاية من المتكاملة uln2803عدم استجرار تيارات كبيرة من FPGA. أوامر التحكم تكون مقدمة من النموذج الفيزيائي المبني ضمن FPGA.



الشكل (4) دارة التحكم بمحرك خطوي باستخدامFPGA

نتائج الدارة الالكترونية قبل وبعد تطبيق الخوارزمية موضحة في الجدول (2):

الجدول (2) نتائج دارة التحكم بخطوة واتجاه دوران محرك خطوي باستخدام FPGA

النظام	البلوكات المتشكلة ضمن FPGA قبل تطبيق الخوارزمية	البلوكات المتشكلة ضمن FPGA بعد تطبيق الخوارزمية
التحكم بخطوة واتجاه محرك خطوي		

من الجدول (2) نلاحظ أن باستخدام الخوارزمية الأساسية قد تم حجز 5 بلوكات منطقية من الشريحة، بينما وجدنا أنه بعد استخدام الخوارزمية المقترحة استطعنا تقليل عدد البلوكات المنطقية إلى 4 بلوكات منطقية، كما سبب تعديل التموضع ترتيب البلوكات بشكل متقارب مما حقق تقليل في المسارات الطويلة ضمن الشريحة.

الاستنتاجات والتوصيات:

الاستنتاجات:

من خلال النتائج والدراسات السابقة توصلنا إلى ما يلي:

1- أن الخوارزمية المقترحة قد قللت عدد الـ blocks التي يتم حجزها فيزيائياً من قبل الأنظمة حيث قللت عدد البلوكات المحجوزة بنسبة تصل إلى 30% مما قلل من عدد المسارات الفيزيائية التي تربط بين البلوكات من جهة وقلل استهلاك الطاقة من جهة أخرى كما قلل من الانتشار الحراري الناتج عن الشريحة بنسبة تعادل 22%.

2- قدم البحث خوارزمية معدلة من اجل إعادة تموضع العناصر ضمن شرائح FPGA تعتمد على الربط بين التصميم و تموضع العناصر بالإضافة إلى الاعتماد على تابع الكلفة الاحتمالي المسؤول عن التموضع والتوجيه ضمن الشريحة .

التوصيات:

إن التطور التكنولوجي أدى إلى إيجاد قدرة عالية في أجهزة FPGA غير متجانسة. الافتراضات الأساسية المتعددة في ASIC كالمساحة الفيزيائية أو توجيه المسارات، لا تملك نفس التركيب والهيكلية لذلك فإن تقنيات التصميم الفيزيائية التقليدية في التوجيه المباشر لا توفر نتائج عالية الجودة في FPGA مما يؤدي إلى مشاكل في التصميم يجب تلافيها من أجل الاستفادة الكاملة في أجهزة FPGA.وبالتالي يمكن استخدام هذه الخوارزمية للاستفادة من استهلاك طاقة اقل عند استخدام مسارات اقل كما بينت التجربة.

المراجع :

[1] Digital Logic and Microprocessor Design with VHDL" E. Hwang

[2] C. S. Chen, Y.-W. Tsay, T. HwangA. C. H. Wu and Y.-L. Lin, "Combining Technology Mapping and Placement for Delay-Optimization in FPGA Designs," ICCAD, pp. 240-247, 2013.

[**3]** J. Cong and Y. Ding, "An Optimal Technology Mapping Algorithm for Delay Optimization in Lookup-Table Based FPGA Designs," ICCAD, pp. 48-53, 2015.

[4] T. Karnik, "Hierarchical Timing-Driven Partitioning and Placement for Symmetrical FPGAs," PhD thesis, University of Illinois at UrbanaChampaign, 1995.

[5] T. Karnik and S. M. Kang, "An Empirical Model For Accurate Estimation of Routing Delay in FPGAs," ICCAD, pp. 328-331, 2015.

[6] W. C. Naylor, R. Donelly, and L. Sha. Non-Linear Optimization System and Method for Wire Length and Delay Optimization for an Automatic Electric Circuit Placer. In US Patent 6301693, 2001.

[7] T.-C. Chen, Z.-W. Jiang, T.-C. Hsu, H.-C. Chen, and Y.-W. Chang. NTUPlace3: An Analytical Placer for Large-Scale Mixed-Size Designs with Preplaced Blocks and Density Constraint. IEEE TCAD, 27(7):1228– 1240, 2008

[8] D. Chen, J. Cong and P. Pan, "FPGA Design Automation: A Survey," Foundations and Trends in Electronic Design Automation, vol. 1, no. 3, pp. 195-330, Nov 2006.

[9] A. B. Kahng, S. Reda and Q. Wang, "Architecture and Details of a High Quality, Large-Scale Analytical Placer", In ICCAD 2005, pp. 891-898.