متطلبات تصميم متحكم PID و متحكم FLC لنظام البندول المقلوب المفرد باستخدام VHDL

د. محسن داود*

د. زياد نعمان**

علي ديوب***

(تاريخ الإيداع 9 / 5 / 2021. قُبِل للنشر في 23/ 8 / 2021)

□ ملخّص □

ظهرت أنظمة التحكم ذات الاستراتيجيات المختلفة كواحدة من أكثر المجالات الواعدة للتطبيقات الصناعية. أدى النمو الكبير في تطبيقات أنظمة التحكم إلى الحاجة إلى إيجاد طريقة فعالة لتنفيذ الأجهزة. تعد مصفوفة البوابة القابلة للبرمجة (FPGA) أهم أداة لتنفيذ الأجهزة نظرًا لانخفاض استهلاك الطاقة وسرعة التشغيل العالية والسعة الكبيرة لتخزين البيانات. في هذه المقالة ، بدلاً من تقديم منهجية لأنظمة التحكم التقليدية PID و أنظمة التحكم الحديثة FLC ، أظهرنا تنفيذ كل من PID و FLC باستخدام كود لغة وصف العتاد الصلب (VHDL) . تم تصميم PID و FLC للتحكم في زاوية البندول المقلوب . تم استخدام VHDL لبرمجة PID و FLC على FPGA. تم تنفيذ خوارزميات وحدات التحكم التي تم محاكاتها على لوحة FPGA Cyclone II EP2C5T144C6 .

الكلمات المفتاحية: مصفوفة البوابة القابلة للبرمجة ، لغة توصيف العتاد الصلب ، متحكم تناسبي تكاملي تفاضلي ، متحكم منطقي ضبابي ، البندول المقلوب ، التضبيب ، قاعدة المعرفة ، فك الضبابية .

*أستاذ – قسم هندسة الميكاترونيك – كلية الهندسة الميكانيكية و الكهربائية – جامعة تشرين– اللاذقية – سورية.

**مدرّس – قسم هندسة الميكاترونيك – كلية الهندسة الميكانيكية و الكهربائية – جامعة تشرين– اللاذقية – سورية.

***طالب دراسات عليا (ماجستير) – كلية الهندسة الميكانيكية و الكهربائية – جامعة تشرين– اللاذقية – سورية.

Design Requirements for a PID and FLC for a Single Inverted Pendulum Using VHDL

Dr. Mohsen Daood*
Dr. Ziad Noman**
Ali Dayoub***

(Received 9 / 5 / 2021. Accepted 23 / 8 / 2021)

□ ABSTRACT □

Control systems with different strategies have emerged as one of the most promising areas for industrial applications. The significant growth in control system applications has led to the need to find an efficient method of instrument implementation . Field Programmable Gate Array (FPGA) is the most important hardware implementation tool due to its low power consumption, high operating speed and large capacity for data storage. In this article, instead of presenting a methodology for traditional PID and modern FLC control systems, we showed the implementation of both PID and FLC using Very Hardware Description Language (VHDL) code. PID and FLC are designed to control the angle of the inverted pendulum . VHDL was used for programming PID and FLC on FPGA. Simulated controller algorithms were implemented on the FPGA Cyclone II EP2C5T144C6 Board.

Keywords: FPGA, VHDL, PID Controller , Fuzzy Logic Controller (FLC), Inverted Pendulum (IP) , Fuzzification , Rulebase , Defuzzification .

* **Professor - Department of Mechatronic Engineering - Faculty of Mechanical and Electrical Engineering, Tishreen University, Lattakia, Syria .**
****Assistant Professor - Department of Mechatronic Engineering - Faculty of Mechanical and Electrical Engineering, Tishreen University, Lattakia, Syria .**
***** Postgraduate Student (Master), Department of Mechatronic Engineering - Faculty of Mechanical and Electrical Engineering, Tishreen University, Lattakia, Syria.**

مقدمة:

شهدت السنوات القليلة الماضية نموًا سريعًا في عدد وتنوع تطبيقات أنظمة التحكم وهذا التنوع ناتج عن استخدامها في تطبيقات منتجات معينة مثل الكاميرات والغسالات والسيارات وفي صناعة الأجهزة الطبية وقطارات الأنفاق والروبوتات.
من المقدر أن وحدات التحكم PID في الوقت الحاضر لا تزال مستخدمة في أكثر من 95٪ من العمليات الصناعية . لعقود عديدة ، تم استخدام وحدات التحكم التناسبية – التكاملية – التفاضلية (PID) على نطاق واسع نظرًا لبساطتها وقوتها وفعاليتها وقابليتها للتطبيق على فئة واسعة من الأنظمة [1] ، كما تم استخدامها في التحكم الرقمي في الزمن الحقيقي ، و في مجال التحكم في المحركات المساعدة والروبوتات والتحكم في درجة الحرارة والإلكترونيات الطاقة.
بشكل عام ، يعد PID أداة مهمة لمصمم التحكم الرقمي في الزمن الحقيقي المضمن[2]. يتم تنفيذها عادةً إما في الأجهزة التي تستخدم المكونات التشابهية أو في البرامج التي تستخدم أنظمة تعتمد على الكمبيوتر.
يسمح ظهور مصفوفات البوابة القابلة للبرمجة ولغات وصف الأجهزة بإضافة أبعاد لوحدات تحكم PID الرقمية . يعمل بناء وحدات تحكم PID على مصفوفات البوابة القابلة للبرمجة (FPGA) على تحسين السرعة والدقة وكفاءة الطاقة والفعالية من حيث التكلفة[3,4] ، على عكس وحدة التحكم التقليدية PID ، لا يعتمد تصميم FLC على النموذج الرياضي للنظام [5,6].
FLC عبارة عن وحدة تحكم تلقائية تتحكم في كائن وفقًا للسلوك المرغوب. بالنسبة للنظام المعقد الذي يصعب تحديد نموذج رياضي له أو أن وظيفة النقل للنظام غير محددة ، فإن أدوات التحكم المنطقية الغامضة مفيدة جدًا في هذه الحالة. يتم تعريف إجراء التحكم في FLC من حيث المبرمج البشري وفقا لقواعد "إذا – ثم". هذه المجموعة من القواعد تصف سلوك النظام. تسمى هذه المجموعة من القواعد بقاعدة المعرفة لوحدة التحكم الغامضة. يمكننا بسهولة تغيير القواعد وفقًا لرغبتنا. لذلك يمكن تقليل وقت تطوير وحدة التحكم الضبابية بشكل كبير مقارنةً بالوحدة التقليدية [7].
تُستخدم لغات وصف الأجهزة (HDLs) لوصف الأجهزة لغرض المحاكاة و النمذجة و الاختبار والتصميم والتوثيق في الأنظمة الرقمية. أكثر HDLs شيوعًا هي VHDL لغة توصيف العتاد للدارات المتكاملة ذات السرعات العالية جداً[8,9] .
الدافع وراء تنفيذ PID و FLC في VHDL هو الحاجة إلى تنفيذ أجهزة غير مكلفة لاستخدامها في التطبيقات الصناعية والتجارية [10,11]. لقد استخدمت PID و FLC للتحكم في زاوية البندول المقلوب [12,13]. تم استخدام الزاوية و التغير في الزاوية كمدخلين في FLC.
لكل من المدخلات ، تم اختيار 7 وظائف عضوية مستطيلة وتم ترميزها في VHDL. تم تطوير خوارزمية في VHDL لتشويش القيم الرقمية الواضحة للزاوية وتغيرها ومن ثم فك الضبابية للحصول على خرج FLC. تم تطوير خوارزمية وحدة التحكم التي تم تصنيعها ومحاكاتها وتنفيذها على لوحة FPGA Cyclone II EP2C5T144C6[14,15].

أهمية البحث وأهدافه:

إن سرعة التطور التكنولوجي الذي شمل مختلف نواحي الحياة، ومختلف المجالات التطبيقية والصناعية، يتطلب تطورات مرافقة لوجود دارات رقمية تتوضع بشكل متكامل ، مثل تقنية FPGA للقيام بتصميم وتطوير منظومات تساهم في تنفيذ الكثير من المهام التطبيقية والعمليات بشكل عام و أنظمة الميكاترونيك بشكل خاص، تأتي اهمية البحث من كونه يقدم وصفا كاملا لأنظمة التحكم التي يتم بناءها باستخدام FPGA و كيفية برمجتها باستخدام VHDL .

تم تقسيم البحث إلى عدة أهداف رئيسية:

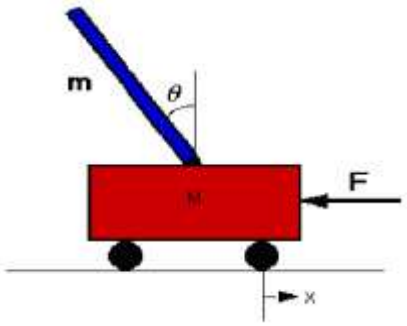
1. مراجعة وتقييم الأدبيات التي تشمل نظرية البندول المقلوب و أهمية استخدام FPGA .
2. بتصميم نظام تحكم قادر على الحفاظ على زاوية بندول صفرية.
3. تنفيذ وحدة تحكم PID على مصفوفة البوابة القابلة للبرمجة (FPGA) باستخدام VHDL .
4. تنفيذ وحدة تحكم FLC على مصفوفة البوابة القابلة للبرمجة (FPGA) باستخدام VHDL .
5. تجميع المعلومات التي تم الحصول عليها خلال كل خطوة من هذه الخطوات ، واختتام هذا المقال البحثي.

طرائق البحث ومواده:

بهدف انجاز البحث تمّ استخدام :

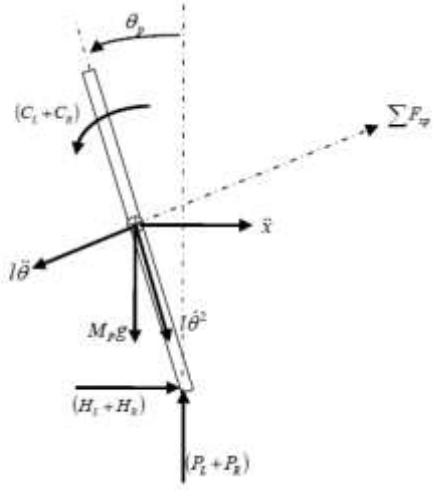
1- البندول المقلوب :

حيث قمنا بدراسة النموذج الرياضي للبندول المقلوب للوقوف عند البارامترات التصميمية الخاصة بروبوت التوازن الذاتي ويبين الشكل (1) البندول المقلوب مركباً على عربة.



الشكل (1) البندول المقلوب مركب على عربة

كما يظهر الشكل (2) مخطط الجسم الحر للبندول المقلوب و يتم تحديد المعادلات الديناميكية التالية [16] :



الشكل (2) مخطط الجسم الحر للبندول المقلوب

بتطبيق نيوتن على المحاور بالاتجاه الأساسية يكون :

$$\sum F_X = M_p x'' \quad (1)$$

$$(H_L + H_R) - M_P l\theta_P'' cos\theta_P + M_P l\theta_P' sin\theta_P = M_P x'' \quad (2)$$

وبتطبيق نيوتن على المحاور بالاتجاه المفروض يكون :

$$\sum F_{xp} = M_p x'' cos\theta_P \quad (3)$$

$$(H_L + H_R)cos\theta_P + (P_L + P_R)sin\theta_P - M_P g sin\theta_P - M_P l\theta_P'' = M_P x'' cos\theta_P \quad (4)$$

بتطبيق قانون عزم العطالة حول مركز الثقل :

$$\sum M_O = I\alpha \quad (5)$$

$$-(H_L + H_R)cos\theta_P - (P_L + P_R)lsin\theta_P - (C_L + C_R) = I_P\theta_P'' \quad (6)$$

يكون العزم المؤثر من قبل المحرك على المجسم :

$$(C_L + C_R) = \frac{-2k_m k_e x'}{R}\frac{x'}{r} + \frac{2k_m}{R} V_a \quad (7)$$

وبكتابة كل من معادلات "x', x", Ø',Ø" الناتجة عن معالجة المعادلات السابقة ، و دراسة مخطط الجسم الحر للعجلات أيضا ، يمكن الكتابة بالطريقة المصفوفية :

$$\begin{bmatrix} x' \\ x'' \\ Ø' \\ Ø'' \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 0 \\ 0 & \frac{2k_m k_e(M_p lr - I_p - M_p l^2)}{Rr^2\alpha} & \frac{M_p^2 g l^2}{\alpha} & 0 \\ 0 & 0 & 0 & 1 \\ 0 & \frac{2k_m k_e(r\beta - M_p l)}{Rr^2\alpha} & \frac{M_p g l\beta}{\alpha} & 0 \end{bmatrix} \begin{bmatrix} x' \\ x'' \\ Ø' \\ Ø'' \end{bmatrix} + \begin{bmatrix} 1 \\ \frac{2k_m(I_p + M_p l^2 - M_p lr)}{Rr\alpha} \\ 0 \\ \frac{2k_m(M_p l - r\beta)}{Rr\alpha} \end{bmatrix} V_\alpha \quad (8)$$

يوضح الجدول التالي دليل الرموز المستخدمة في المعادلات :

الجدول (1) الرموز المستخدمة في المعادلات

M_p	كتلة البندول	$Ø''$	تسارع زاوي للبندول
F_X	القوة المطبقة على عربة الروبوت	x'	السرعة الزاوية للعربة
l	المسافة بين مركز العجلات و مكز ثقل البندول	x''	تسارع العربة
H_L	قوى الاحتكاك بين الأرض و العجلة اليسرى	θ_P	زاوية البندول
H_R	قوى الاحتكاك بين الأرض و العجلة اليمنى	I	العطالة
α	التسارع الزاوي للمحور	β	تحيز الحساس المستخدم لقياس الزاوية
M_p	كتلة هيكل الروبوت	k_e	ثابت ال EMF العكسي
C_R	العزم المطبق من المحركات على العجلة اليمنى	k_m	ثابت عزم المحرك
C_L	العزم المطبق من المحركات على العجلة اليسرى	V_a	الجهد المطبق على المحركات
R	المقاومة الطرفية الاسمية	r	نصف قطر العجلات

2- مصفوفة البوابة القابلة للبرمجة FPGA :

حيث تم استخدام شريحة FPGA من عائلة Cyclone II حيث اعتمدت EP2C5T144C6 كمنصة مستهدفة .

الجدول (2) مواصفات شريحة Cyclone II EP2C5T144C6

Case-Package	TQFP
Frequency	500MHz
Lead Free	Contains Lead
Max Frequency	260MHZ
Max operating temperature	85 C
Min operating temperature	0 C
Max supply voltage	1.25V
Memory Size	119808b
Min supply voltage	1.15 V
Mount	Surface mount
Number of I-Os	89
Number of blocks (LABs)	288
Number of logic elements-cells	4608
Number of pins	144
Package quantity	180
Packaging	Tray
RAM size	119808b
Rohs compliant	No
Series	Cyclone II

3- البيئة البرمجية Quartus II :

تم استخدام برنامج محاكاة Quartus II الذي يعد من أهم برامج المحاكاة المستخدمة لتقييم الأكواد البرمجية المكتوبة بلغة VHDL و التوزع الكمي الذي تستهلكه من شريحة FPGA .

حيث تم محاكاة وحدتي التحكم PID و Fuzzy ومعرفة الكمية التي استهلكتها كل وحدة تحكم من الكتل المنطقية و مسجلات الذاكرة الخاصة ب FPGA ، و المخططات الزمنية التجريبية التي تؤمن التحقق من صحة التصميم .

4- محاكاة وحدة التحكم PID :

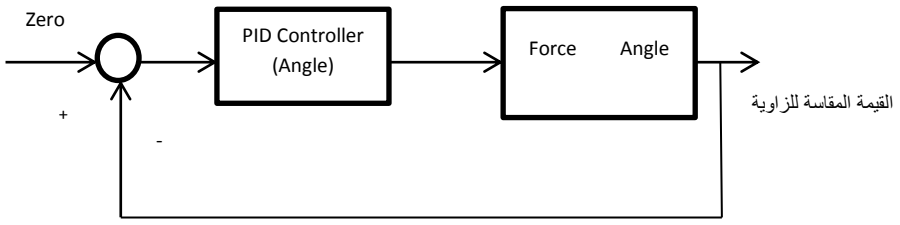
مبدأ وحدة تحكم PID هو معالجة النظام عبر إشارة التحكم للوصول إلى حالة ثابتة باستخدام الفرق بين القيمة المطلوبة من المستخدم (SP) والقيمة المقاسة (PV).

خوارزمية تحكم PID يعبر عنها بواسطة :

$$c(s) = K_p + \frac{K_i}{s} + K_d s \qquad (9)$$

يشير كل عنصر من عناصر تحكم PID إلى إجراء معين يتم اتخاذه بشأن الخطأ.

يبين الشكل (3) المخطط الصندوقي للنظام مع توصيل متحكم ال PID :



الشكل (3) المخطط الصندوقي للنظام مع وحدة تحكم PID

حيث تم محاكاة وحدة تحكم PID التي تتحكم في الروبوت باستخدام متغير تغذية عكسية واحد فقط هو زاوية الإمالة (مدخل واحد هو الفرق بين القيمة المطلوبة و القيمة المقاسة لزاوية الإمالة).

يتم ضبط وحدة التحكم PID باستخدام طريقة Zeigler–Nichols وفق للقيم التالية :

KP = −75 و Ki = − 120 و Kd = −17 .

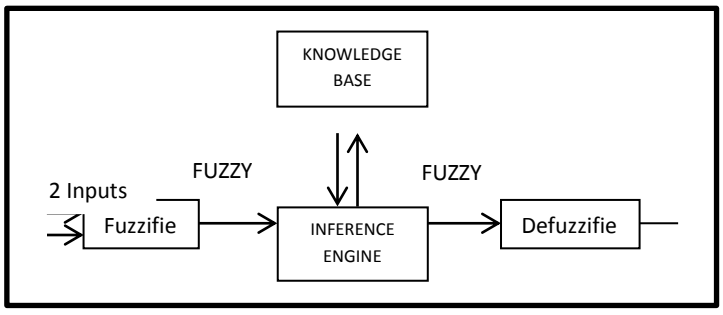
4-1- المنهجية المستخدمة لمحاكاة PID باستخدام VHDL :

تم التصميم باستخدام VHDL CODE حيث نأخذ إشارة تغذية عكسية ب 16 bit من محول ADC في النظام بشكل متزامن مع مولد النبضات ، ثم يتم تحويل هذه القيمة الثنائية إلى قيمة عشرية لسهولة التشغيل عبر DAC و ذلك لسهولة حساب الخطأ و تقييم معادلة PID .

ثم تطرح هذه القيمة المقاسة لزاوية الإمالة من القيمة المحددة و المطلوبة للزاوية لحساب الخطأ ، ثم يستخدم الخطأ لتقييم معادلة PID و بالتالي إنشاء مدخلات التحكم ثم يتم تحويلها مرة اخرى إلى قيمة ثنائية ب 16 bit و يعطى لمحول DAC.

5- محاكاة وحدة تحكم ضبابي FLC :

تم محاكاة وحدة تحكم ضبابي FLC بمدخلين هما زاوية الانحراف و تغير زاوية الانحراف .



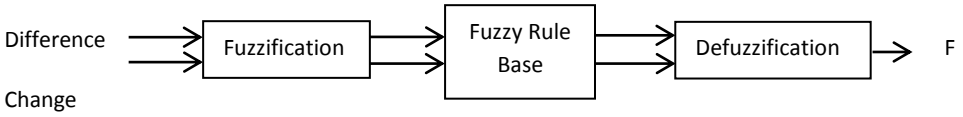
الشكل (4) بنية وحدة التحكم الضبابي المستخدمة

5-1- المنهجية المستخدمة لمحاكاة FLC باستخدام VHDL :

ستستخدم وحدة التحكم الضبابية محرك استدلال قائم على القواعد للتحكم بالمحركات ، حيث سيكون خرج التحكم عبارة عن قوة يتم تطبيقها على المحرك ليؤمن توازن الروبوت ، ستأخذ وحدة التحكم هذه مدخلين إلى ال rule – base و التي سيتم استخدامها لإنتاج مخرج واحد .

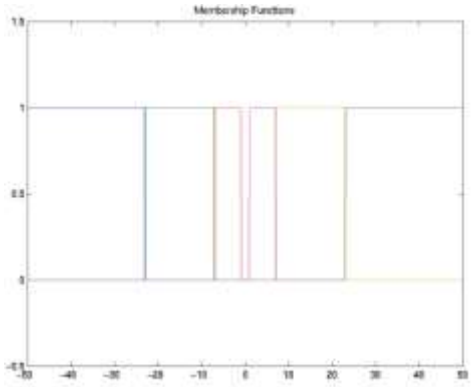
ستكون المدخلات هي زاوية الانحراف والتغير في هذه الزاوية (السرعة الزاوية) .

سيكون الناتج هو قوة تقدم للمحرك ، يوضح الشكل (5) مخطط التدفق لوحدة التحكم الضبابي.



الشكل (5) مخطط التدفق لوحدة التحكم الضبابي

تم اختيار توابع عضوية مستطيلة غير متداخلة للمدخلات لأن برمجتها أسهل من برمجة التوابع المثلثية أو شبه المنحرفة المتداخلة و لجعل عملية فك الضبابية أبسط ، يوضح الشكل (6) التوابع السبعة المستخدمة:



الشكل (6) توابع العضوية المستخدمة

و تم تخصيص علامات لغوية لوظائف العضوية السبعة وهي: كبير إيجابي ، متوسط إيجابي ، إيجابي صغير، صفري ، سلبي صغير ، متوسط سلبي ، وسالب كبير ، يوضح الجدول (3) نتائج القواعد الضبابية :

الجدول (3) جدول يوضح نتائج القواعد الضبابية

	Pl	**Pm**	**Ps**	**Z**	**Ns**	**Nm**	**Nl**
Pl	Pl	Pl	Pl	Pl	Pl	Pm	Pm
Pm	Pl	Pl	Pm	Pm	Pm	Ps	Ps
Ps	Ps	Ps	Ps	Z	Z	Ps	Ps
Z	Z	Z	Z	Z	Z	Z	Z
Ns	Ns	Ns	Z	Z	Ns	Ns	Ns
Nm	Nl	Nl	Nm	Nm	Nm	Ns	Nl
Nl	Nl	Nl	Nl	Nl	Nl	Nm	Nm

و يوضح الجدول (4) المعنى التفسيري لهذه الرموز الضبابية :

الجدول (4) المعنى التفسيري للرموز الضبابية

Abbreviation	**Meaning**
Pl	Positive large
Pm	Positive medium
Ps	Positive small
Z	Zero
Ns	Negative small
Nm	Negative medium
Nl	Negative large

بناءً على ذلك ، تم وضع 49 قاعدة وتم اختيار المخرجات بناءً على المخرجات المرغوبة للنظام .

إن قواعد التحكم الغامض مشتقة من المعايير النظرية التالية:

إذا كانت θ موجبة كبيرة و ω كبيرة سالبة ، فإن F تساوي PB

إذا كانت θ سالبة كبيرة و ω كبيرة سالبة ، فإن F تساوي NB

إذا كانت سالبة صغيرة و ω موجبة صغيرة ، فإن F تكونNS

إذا كانت θ صفرًا و ω صفرًا ، فإن F تساوي ZE ، وهكذا .

و نظرًا لأن المنطق التوافقي لحساب القواعد الـ 49 كبير جدًا وبطيء جدًا، يجب أن تكون هذه الوحدة مدمجة بشكل كبير بحيث تقسم العمل لأجزاء أصغر و أكثر كفاءة ، فيستغرق وقتاً أقل و طاقة أقل وبالتالي تحقيق سرعة أعلى .

وفي المرحلة الأخيرة من تصميم المتحكم الضبابي كانت عملية إزالة الغموض بسيطة جدا، على اعتبار أن توابع العضوية المستخدمة كانت مستطيلة ولا تتداخل .

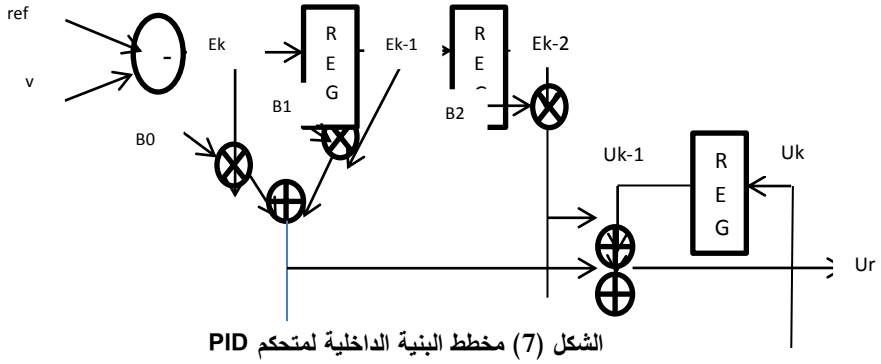
تم الجمع بين الوحدات الثلاث (التضبيب ، قاعدة المعرفة ، فك الضبابية) في كتلة برمجية واحدة ، حيث يقوم هذا البرنامج بالتحكم بقوة الدفع المقدمة للمحركات بما يؤمن المحافظة على زاوية بندول صفرية .

النتائج والمناقشة:

نتائج Quartus II:

1- نتائج PID :

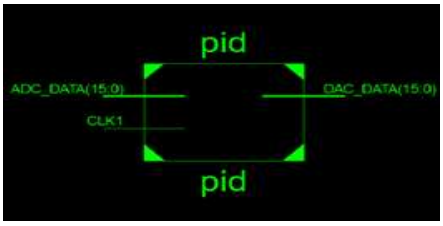
1-1- البنية الداخلية :



الشكل (7) مخطط البنية الداخلية لمتحكم PID

1-2- مخطط RTL :

إن مدخلات ال PID هي ADC_Data (15 : 0) و دخل الساعة clock ، في حين أن الخرج هو DAC_Data (15 : 0) كما هو مبين في الشكل (8).



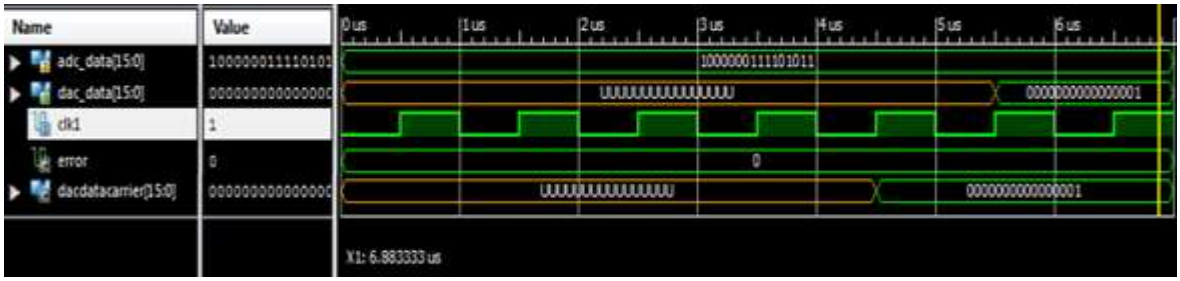
الشكل (8) مخطط تفصيلي لدارة PID

1-3- الإشارة الموجية لاختبار المتحكم PID :

يتم التحقق من أداء وحدة التحكم PID المصممة على FPGA عبر تعيين قيمة عشرية مقابلة للزاوية و لتكن33259 تقابل وضع التوازن للبندول أي أنها تقابل قيمة صفرية لزاوية البندول ، و يتم ضبط وقت تشغيل المحاكاة على 7µs لكل دورة .

- الدورة الأولى ، حالة التوازن (لا يوجد خطأ) :

نعين قيمة الدخل هي ADC_Data = 1000000111101011 ، و التي تقابل القيمة العشرية 33259.

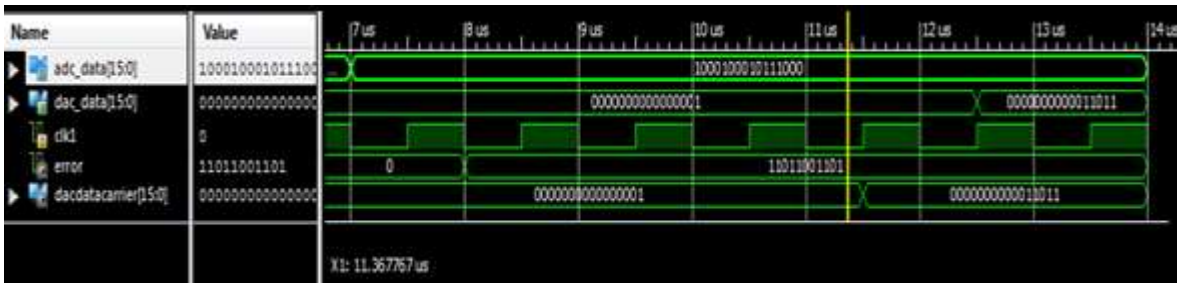


الشكل (9) الدورة الأولى

نلاحظ من المخطط السابق أن قيمة الخطأ مساوية للصفر وذلك لأن قيمة الدخل مطابقة لقيمة صفرية للزاوية .

- الدورة الثانية ، حالة الانحراف (الخطأ السالب) :

نعين قيمة الدخل هي ADC_Data = 1000100010111000 ، و التي تقابل القيمة العشرية 35000 .



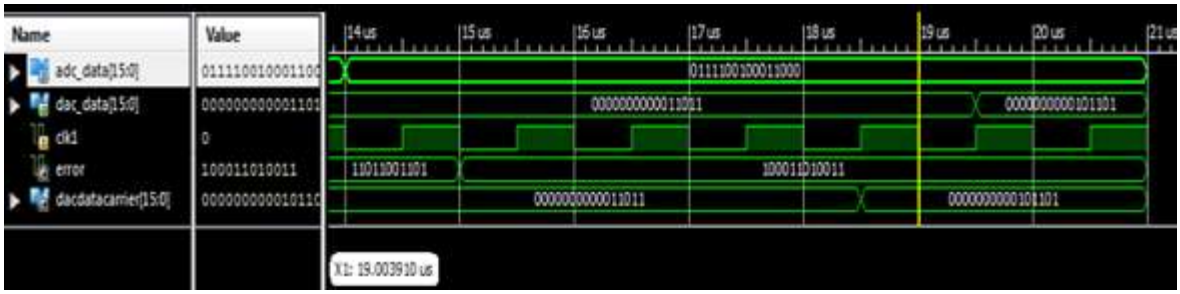
الشكل (10) الدورة الثانية

نلاحظ من المخطط السابق ما يلي :

نلاحظ من المخطط السابق أن مقدار الخطأ و الانحراف عن القيمة المطلوبة هو 1741 عشريا و هي تقابل 011011001101 ، و خلال الفترة الزمنية من 7µs إلى 8µs و رغم تطبيق قيمة تؤدي لعدم التوازن ، لم يحدث أي تغير في قيمة ال error ، حتى تم انقضاء دورة clock كاملة .

- الدورة الثالثة ، حالة الانحراف (الخطأ الموجب) :

نعين قيمة الدخل هي ADC_Data = 111100100011000 ، و التي تقابل القيمة العشرية 31000 .



الشكل (11) الدورة الثالثة

نلاحظ من المخطط السابق أن مقدار الخطأ بالاعتماد على قيمة الدخل و عدد نبضات الساعة و والمقارنة بالخرج المطلوب هو 2259 عشريا و هي تقابل 100011010011 .

4-1- نتائج التدفق لمتحكم PID :

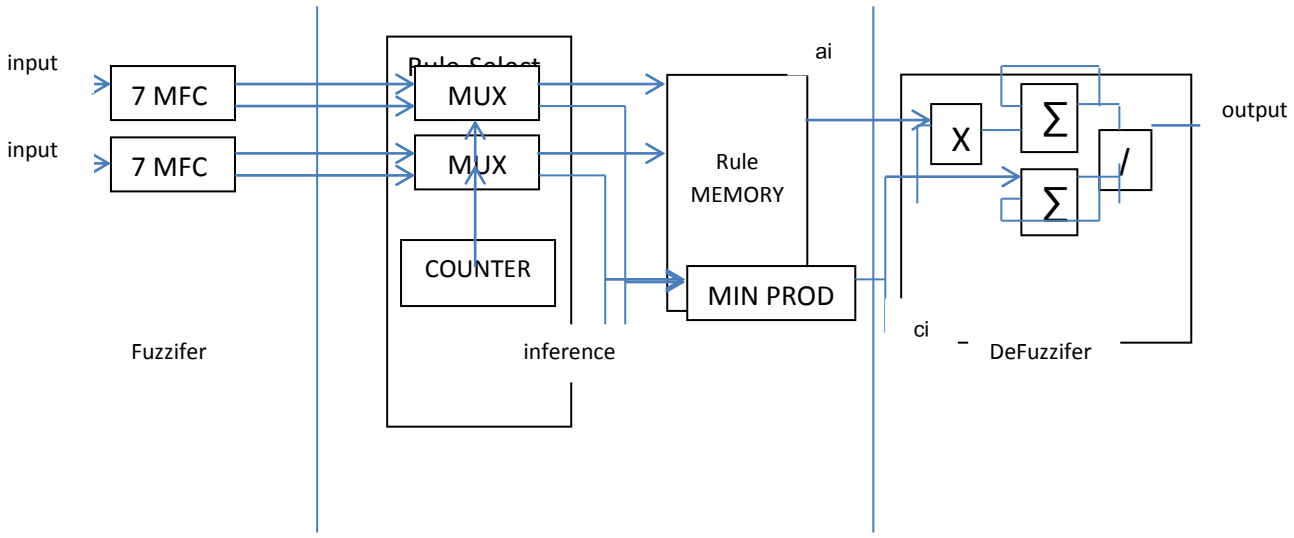
Flow Summary	
Flow Status	Successful - Fri Jan 22 01:18:46 2021
Quartus II 64-Bit Version	11.1 Build 173 11/01/2011 SJ Full Version
Revision Name	pid
Top-level Entity Name	pid
Family	Cyclone II
Total logic elements	564 / 4,608 (12 %)
Total combinational functions	561 / 4,608 (12 %)
Dedicated logic registers	7 / 4,608 (< 1 %)
Total registers	7
Total pins	33 / 89 (37 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)
Device	EP2C5T144C6
Timing Models	Final

الشكل (12) نتائج تدفق PID

وحدة تحكم PID استهلكت 12% من اجمالي العناصر المنطقية ، و 1% من اجمالي المسجلات المنطقية ، و 37% من اجمالي عدد ال pins .

2- نتائج FLC :

2-1- البنية الداخلية :



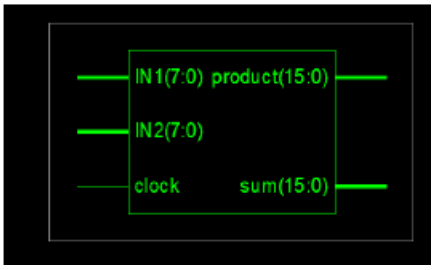
الشكل (13) بنية وحدة التحكم الضبابي الداخلية باستخدام VHDL

يوضح الشكل (7-13) المكونات النموذجية الثلاثة لنظام الاستدلال الغامض.

تقوم دوائر توابع العضوية (MFCs) في مرحلة Fuzzifier بحساب درجات العضوية لمدخلات المجموعات الضبابية التي تمثل مداخل القواعد ، و تتكون مرحلة الاستدلال من دائرة اختيار قاعدة محددة من القواعد لتكون قاعدة نشطة و MIN متعددة المدخلات لتقييم درجة تنشيط القاعدة (ai) من خلال الجمع بين درجات التنشيط السابقة المقدمة بواسطة MFCs، وذاكرة القاعدة التي تخزن البارامترات التي تحدد نتائج القاعدة (ci)، أخيرًا تحسب مرحلة إزالة التشويش إخراج النظام.

2-2- مخطط RTL :

ستقبل هذه الوحدة مدخلين غامضين كل منهما ب 8 بت بالإضافة لمدخل نبضات الساعة ، وستخرج قوة دفع تقدم للمحركات.



الشكل (14) مخطط تفصيلي للمتحكم الضبابي FLC

2-3- موجة اختبار المخطط السابق :

الشكل (15) موجة اختبار وحدة التحكم الضبابي

نلاحظ من المخطط السابق أنه تم اختبار قيم مختلفة للمداخل حيث أن :

تطبيق 11100000 على المدخل الأول و 01100000 على المدخل الثاني يجعل مخرج ال product يعطي 0001010000101111 و مخرج ال sum يعطي 1001110111111010 ، و تتغير القيم الناتجة على المخارج بتغير القيم المطبقة على المداخل .

2-4- نتائج التدفق للمتحكم الضبابي :

Flow Summary

Flow Status	Successful - Fri Jan 22 01:48:46 2021
Quartus II 64-Bit Version	11.1 Build 173 11/01/2011 SJ Full Version
Revision Name	Fu
Top-level Entity Name	Fu
Family	Cyclone II
Total logic elements	1842 / 4,608 (40 %)
Total combinational functions	1842 / 4,608 (40 %)
Dedicated logic registers	23 / 4,608 (< 1 %)
Total registers	23
Total pins	49 / 89 (55 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)
Device	EP2C5T144C6
Timing Models	Final

الشكل (16) نتائج تدفق متحكم FLC

وحدة التحكم الضبابية عبارة عن تصميم كبير وبطيء ، ولكنها مفيدة جدًا ، استهلكت 40% من اجمالي العناصر المنطقية ، و 1% من اجمالي المسجلات المنطقية ، و 55% من اجمالي عدد ال pins .

الاستنتاجات والتوصيات:

في هذا المقال ، قدمنا طريقة لوصف تنفيذ وحدة التحكم PID و وحدة التحكم المنطقية الضبابية FLC باستخدام VHDL ، إن اختيار أجهزة FPGA يعتمد على العديد من البارامترات مثل: عدد متغيرات الإدخال والإخراج للنظام ، والتكلفة والتأخير المطلوبين في تنفيذ النظام وإمكانية إعادة البرمجة. جهاز Cyclone II EP2C5T144C6 FPGA هو الجهاز المناسب لتنفيذ وحدات التحكم المقترحة . لأنه يلبي جميع المتطلبات.

إن استخدام نهج VHDL يمتاز بمزايا تتمثل بتقليل وقت التصميم وتقييم وظائف التصميم في وقت قصير والاستكشاف السريع لخيارات التصميم المختلفة ، حيث انه بمجرد تحديد التصميم الأساسي لوحدات التحكم المقترحة ، يكون تنفيذها بشكل مباشر عن طريق تشفير كل مكوناتها في VHDL وفقًا لمواصفات التصميم.

تبين أن استجابة PID باستخدام VHDL أفضل من استجابة FLC ، من حيث اجمالي العناصر و المسجلات المنطقية وعدد ال pins التي يحتاجها تصميم كل متحكم حيث أن وحدة تحكم PID استهلكت 12% من اجمالي العناصر المنطقية ، و 1% من اجمالي المسجلات المنطقية ، ، و 37% من اجمالي عدد ال pins ، و وحدة التحكم الضبابية عبارة عن تصميم كبير وبطيء ، ولكنها مفيدة جدًا ، استهلكت 40% من اجمالي العناصر المنطقية، و 1% من اجمالي المسجلات المنطقية، و 55% من اجمالي عدد ال pins .

نوصي باستكمال الدراسة مع تغيير بعض شروط العمل كتغيير قيم ضبط متحكم PID ، و تغيير توابع العضوية الخاصة بمتحكم FLC و مقارنتها مع الدراسة الحالية .

نوصي باستكمال الدراسات المستقبلية بمنهجيات دراسة مختلفة تتمثل باقتراح نظم تحكم جديدة ، مثلا متحكم LQR .

نوصي باستكمال الدراسات المستقبلية بمنهجيات مختلفة مثلا الأنظمة الذكية كالخوارزميات الجينية .

References:

[1]. Sonoli, Savita. Raju, Konduru. "*Implementation of FPGA based PID Controller for DC Motor Speed Control System*." Proceedings of the World Congress on Engineering and Computer Science II (2010): 978-988.

[2]. Bhardwaj, Vivek. "*FPGA Design Flow and CAD* ." Researchgate (2021):1-4.

[3]. Leong, Philip. Quinton, Bradley. " *A Synthesizable Datapath-Oriented Embedded FPGA Fabric for Silicon Debug Applications*." ACM Transactions on Reconfigurable Technology and Systems 1.1 (2008):2-25.

[4]. BARUCH, ZOLTAN. CREŢ, OCTAVIAN. PUSZTAI, KALMAN. *" Placement Algorithm for FPGA Circuits. "* researchgate (2010)*1-6.*

[5]. Azad, Khandaker. Darns, Zahari Mohamed. Mohd Ali, Mohd Alauddin. "*A Top-Down Approach i n Fuzzy Controller Design with VHDL*." Jumal Kejuruteraan 11.1 (1999):53-60.

[6]. Anand , Mani. Tyagi, Barjeev. "*Design and Implementation of Fuzzy Controller on FPGA*." Intelligent Systems and Applications 10 (2012):35-42.

[7]. Satale, Kirti. Khedkar, Anagha. "*Analysis of Different Speed Controllers and Implementation of Novel Speed Controller using FPGA for BLDC Motor*." International Journal of Soft Computing and Engineering (IJSCE) 4.2 (2014):131-134.

[8]. Vuong, Philip. Madni, Asad. Vuong, Jim. "*VHDL Implementation For a Fuzzy Logic Controller*." BEI Technologies, Inc. 13100 Telfair Avenue, Sylmar, California 91342 U. S. A(2006):1-8.
[9]. Barriga ,A. Sa´nchez-Solano, S. Brox, P. Cabrera, A. Baturone , I. "*Modelling and implementation of fuzzy systems based on VHDL*." International Journal of Approximate Reasoning 41 (2006):164–178.
[10]. S, Areibi. G, Grewal. D, Banerji. P, Du. "*Hierarchical FPGA Placement*. " Computing & Information Science University of Guelph Guelph, Ontario Canada N1G 2W1 (2006)1-21.
[11]. Joseph Rios "*Acceleration of FPGA placement*. " Department of Computer Engineering University of California, Santa Cruz (2005):1-8.
[12]. Liu, Bingyou. Hong, Jinwen. Wang, Lichao. "*Linear inverted pendulum control based on improved ADRC*" SYSTEMS SCIENCE & CONTROL ENGINEERING 7.3 (2019):1-12.
[13]. Kumar, Vinodh. Jerome, Jovitha. "*Robust LQR Controller Design for Stabilizing and Trajectory Tracking of Inverted Pendulum*." Procedia Engineering 64 (2013):169-178.
[14]. El Gamal, Abbas. Vincentelli, Alberto. "*Architecture of field-programmable gate arrays*." Proceedings of the IEEE 81.7 (1993):1013:1029.
[15] AlteraCorporation,Cyclone II FPGA Datasheet www.altera.com .
[16] Rich Chi Ooi. " Balancing a Two-Wheeled Autonomous Robot." The University of Western Australia School of Mechanical Engineering (2003):36-42.