Implementation of 4X4 Vedic Multiplier using GDI Technology

Ola Jawhara*

(Received 7 / 6 / 2024. Accepted 10 / 7 / 2024)

□ ABSTRACT □

In the advanced microelectronics, designers had adopt designs that achieve lower energy consumption, a smaller area, and better performance, and thus the possibility of using them in sensitive applications and systems with high efficiency. Because the multiplier is the main unit in these systems and it is known that the traditional multiplication process requires many stages and takes a long time, in this research a Vedic Multiplier was designed to complete the multiplication process quickly and smoothly. GDI technology was also relied upon to reduce the number of transistors used, the space occupied on the chip, and the energy consumed. Simulation was done through DSCH3.5,and MICROWIND 3.5 for drawing and simulation of the layout using several technology models: CMOS 0.90nm, and CMOS 0.45nm (the techniques that used on most of the previous studies) as well as the new technologies CMOS 0.32nm We also compared the chip area and power consumed for each technology.

Keywords: Vedic Multiplier، GDI Technology, DSCH3.5, MICROWIND 3.5.

Copyright **:**Tishreen University journal-Syria, The authors retain the copyright under a CC BY-NC-SA 04

* **Master – Faculty of Information and Communication Technology Engineering – Department of Electronic and Computing Systems- Tartous University – Tartous - Syria. olajawhara@gmail.com**

تصميم دارة ضارب فيدي 4 بت اعتماداً على تقنية GDI

علا جوهره *

(تاريخ الإيداع 7 / 6 / 2024. قُبِل للنشر في 10/ 7 / 2024)

□ ملخّص □

مع التطور الكبير في الأنظمة الإلكترونية الحديثة، فقد توجب على المصممين اعتماد تصاميم تحقق استهلاك أقل للطاقة، ومساحة أصغر وأداء أفضل وبالتالي امكانية استخدامها في التطبيقات و الأنظمة الحساسة بفعالية عالية. ولأن الضارب الوحدة الرئيسية في هذه الأنظمة ومن المعروف أن عملية الضرب التقليدية تحتاج مراحل عديدة وتستغرق وقتاً طويلاً، تم في هذا البحث تصميم ضارب فيدي (Vedic Multiplier) لإنجاز عملية الضرب بسرعة وسلاسة وكذلك تم الاعتماد على تقنية الـ GDI لتخفيض عدد الترانزستورات المستخدمة و المساحة المشغولة على الشريحة وكذلك الطاقة المستهلكة. تمت عملية محاكاة الدارات الرقمية من خلال برنامج DSCH3.5 وتم استخدام برنامج MICROWIND 3.5 من اجل رسم ومحاكاة الخريطة الفيزيائية Layout بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدرارات الالكترونية وهي: CMOS 0.90nm، CMOS 0.45nm (وهي التقنيات التي اعتمدت عليها معظم الدراسات السابقة) بالإضافة لتقنية جديدة هي CMOS 0.32nm حيث تمت مقارنة مساحة الرقاقة والطاقة المستهلكة لكل تقنية.

الكلمات المفتاحية: ضارب فيدي Vedic Multiplier ، تقنية GDI ، برنامج DSCH3.5 برنامج MICROWIND 3.5.

حقوق النشر : مجلة جامعة تشرين– سورية، يحتفظ المؤلفون بحقوق النشر بموجب الترخيص CC BY–NC–SA 04

* **ماجستير– كلية هندسة تكنولوجيا المعلومات والاتصالات –قسم النظم الحاسوبية والالكترونية –جامعة طرطوس –طرطوس –سورية.**
olajawhara@gmail.com

مقدمة:

أصبحنا اليوم في عصر الأنظمة الرقمية والذي تميز بالطبع بسيطرة الدارات المنطقية والحسابية على معظم النشاطات التي تؤديها الأنظمة الرقمية متل المعالجات الدقيقة ومعالجات الإشارات الرقمية و أجهزة معالجة البيانات وأجهزة معالجة الصور الرقمية وأنظمة الاتصالات الرقمية و غيرها الكثير.

و مع التطور الكبير للأجهزة و الانظمة الإلكترونية، فقد توجب على المصممين مراعاة الامور التالية عند تصميم أي دارة: عدد الترانزستورات التي تدخل في تصميم الدارة، ومساحة الرقاقة المتاحة، واستهلاك الطاقة والتأخير الزمني، ومن هنا ظهرت الحاجة إلى تصميم دارات بطاقة منخفضة وسرعة عالية وأداء عالٍ ومساحة رقاقة صغيرة[3-1] .

العنصر الأساسي لتصميم الضارب هو دارة الجامع (Adder) حيث تعد دارات الجامع من أهم المكونات في معظم الدارات الرقمية و دارات الحساب المعقدة مثل المعالجات الدقيقة أو معالجات الإشارات الرقمية أو معالجات الصور الرقمية، ووحدة الفاصلة العائمة وذاكرة التخزين المؤقت ووحدة الوصول إلى الذاكرة. فإن خصائص أدائها تؤثر بشكل مباشر على أداء النظام بأكمله .لذلك ، يعد التحسين في أداء بنية الجامع مصدر قلق كبير للمصممين [8-4]

يمكن استخدام تقنيات مختلفة خارجيًا أو داخليًا لتحسين الأداء العام لأي نظام . تتضمن التقنيات الخارجية التعامل مع خصائص بيانات الإدخال بينما تهتم التقنيات الداخلية بتصميم الدارة.[10-9]

على الرغم من أن Static CMOS Logic كان منهج التصميم الأكثر شعبية على مدار العقود الثلاثة الماضية، فقد بذلت العديد من المحاولات لاقتراح بديل أفضل لتحقيق استهلاك أقل للطاقة، ومساحة أصغر وأداء أفضل. ومن هذه الحلول تطبيق تقنية تصميم منخفضة الطاقة تدعى تقنية Gate Diffusion Input- (GDI) حيث تسمح هذه التقنية بتقليل استهلاك الطاقة وتأخير الانتشار ومساحة الرقاقة [12-11]. اهتم الباحثون بتصميم دارات الجامع الكامل وفق تقنية الـ GDI معتمدين على استخدام بوابات XOR-XNOR، وقد استطاعت هذه الدراسات الوصول الى الغاية المطلوبة من حيث العدد المنخفض من الترانزستورات والاستهلاك المنخفض للطاقة والمساحة الاصغرية وقيمة تأخير منخفضة[13].

كذلك قدم الباحثون في [14] تصميماً لدارة ضارب فيدي 8 بت باستخدام تقنية الـ GDI، استطاع هذا التصميم تقليل الطاقة بشكل كبير من خلال الاعتماد على مبدأ ضغط الجوامع (compressor adders)، تساهم الضواغط (compressor) في تقليل النتائج الجزئية عن طريق تقليل عدد دارات الجامع في المرحلة النهائية وتساهم أيضًا في تقليل المسار الحرج وهو أمر مهم للحفاظ على أداء الدائرة.

أما في [15] فقد قام الباحثون بمقارنة بين تصميم ضارب فيدي بتقنية الـ GDI والتصميم ذاته بتقنية الـ CMOS باستخدام FinFETs (18nm) حيث أن الضارب المصمم بتقنية الـ GDI استطاع تقليل تأخير الانتشار بنسبة 31% و الاستطاعة بنسبة 55.6% وعدد الترانوستورات بنسبة 35.18% بالمقارنة مع الضارب المصمم بتقنية الـ GDI.

كذلك صمم الباحثون في [16] ضارب فيدي 4 بت باستخدام تقنية الـ GDI، حيث اعتمد الباحثون في هذا التصميم على تحسين بنية الجامع الكامل ونصف الجامع المستخدمة في التصميم بالإضافة لاستخدام تقنية الـ GDI مما ادى إلى تخفيض في الطاقة المستهلكة والتأخير الزمني بالمقارنة مع تقنية الـ CMOS.

أهمية البحث وأهدافه:

هدف البحث

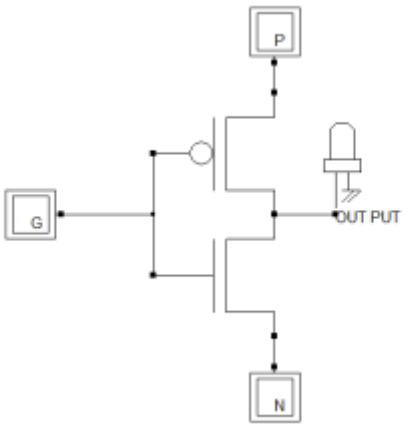
سنقوم في هذا البحث بتصميم دارة ضارب فائق السرعة وذلك عن طريق دمج قواعد الرياضايات الفيدية مع تقنية الـ GDI والتي توفر تشغيل أسرع بالإضافة لتقليل مساحة التصميم على الشريحة والطاقة المستهلكة وكذلك عدد الترانزستورات اللازمة. تم الاعتماد على برنامج DSCH3.5 من اجل محاكاة الدارة، وتم الاعتماد على برنامج MICROWIND 3.5 من اجل رسم الخريطة لفيزيائية Layout للدارتين بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدارات الالكترونية وهي: CMOS 0.90nm ، CMOS 0.45nm و CMOS 0.32nm وسنقوم بمقارنة مساحة الرقاقة والطاقة المستهلكة لكل تقنية.

طرائق البحث ومواده:

1. تقنية GDI:

انتشرت في الآونة الأخيرة تقنية (GDI) Gat Diffusion Input- بشكل كبير في عالم تصميم الالكترونيات الرقمية، حيث لجأ معظم مصممين الدارات الرقمية الى هذه التقنية وذلك لبساطتها وقدرتها على الحد من استهلاك الطاقة بسبب قلة عدد الترانزستور اللازمة لتصميم الدارة الرقمية.

تعتمد تقنية GDI على استخدام خلية بسيطة مكونة من ترانزستورين نوع NMOSو PMOS مع أربع نهايات هي: G مدخل البوابة المشتركة للترانزستورات NMOS وPMOS، P مدخل الترانزستور(PMOS)، N مدخل الترانزستور NMOS وOUTPUT وهو مخرج مشترك للترانزستورين [11]. الشكل (1) يبين البنية الاساسة لخلية GDI.



الشكل (1) : البنية الاساسة لخلية GDI .

تتشابه خلية GDI من حيث البنية مع الخلية الأساسية لعاكس CMOS القياسي، ولكن هناك بعض الاختلافات الرئيسية والمهمة حيث تتميز خلية GDI بأن المنبع (S) للترانزستور PMOS في غير متصل بقطب التغذية VDD وكذلك المنبع (S) للترانزستور NMOS غير متصل بقطب التغذية GND .

يتم التحكم بعمل هذه الخلية من خلال التحكم بقيم المنافذ (G,P,N)، يبين الجدول (1) كيف يمكن التحكم بعمل خلية الـ GDI من خلال تغيير قيم المداخل.

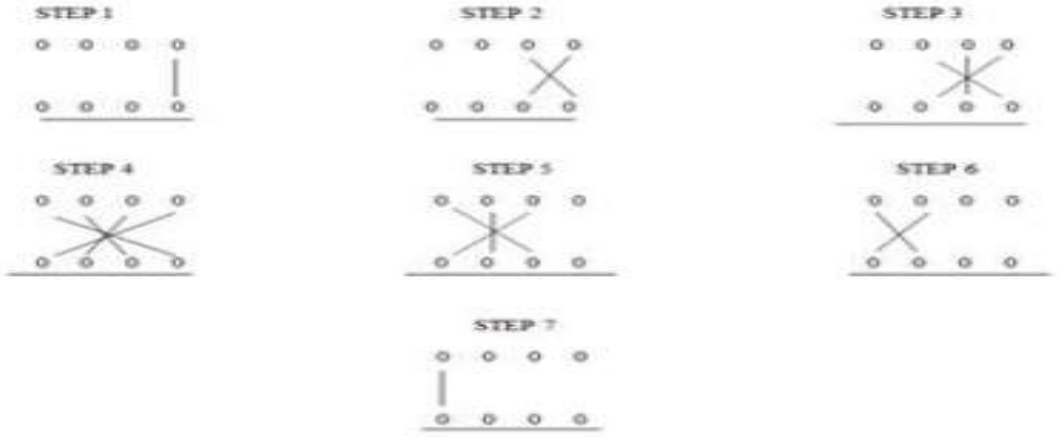
الجدول(1): الوظائف المنطقية لخلية GDI

N	P	G	OUT	Function
0	B	A	A'B	F1
B	1	A	A'+B	F2

1	B	A	A+B	OR
B	0	A	A.B	AND
C	B	A	A'B+AC	MUX
0	1	A	A'	NOT

2. الرياضيات الفيدية:

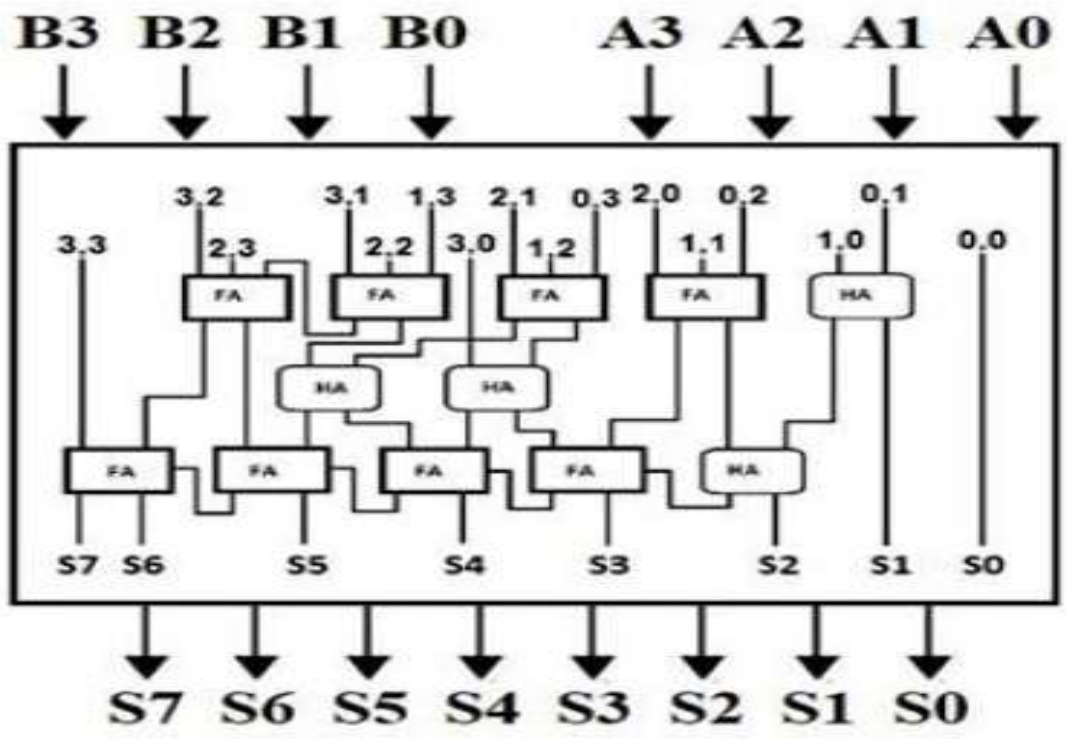
الرياضيات الفيدية هي طريقة بسيطة وسريعة تعتمد على الحساب الذهني السريع تم ابتكارها بواسطة عالم الرياضيات الهندي بهاراتي كريشنا تيرثا (Bharati Krishna Tirtha)، تحتوي الرياضايات الفيدية على 16 قاعدة تساعد في حل العمليات الرياضية في الجبر والهندسة [*]، لايجاد جداء عددين تم استخدام طريقة Urdhva Tiryagbhyam ويقصد بها الضرب عمودياً وافقياً عن طريق إيجاد الجداءات الجزئية مع إضافة الحمل من مرحلة إلى أخرى. ويوضح الشكل (2) جداء عددين ب 4 بت باستخدام طريقة Urdhva Tiryagbhyam .



الشكل (2): جداء عددين ب 4 بت باستخدام طريقة Urdhva Tiryagbhyam

3. النموذج المقترح لدارة ضارب فيدي باستخدام تقنية الـ GDI:

يتألف الضارب الفيدي الموضح في الشكل (3) من دارات جامع كامل ودارات نصف جامع وبالتالي يتوجب علينا بدايةً تصميم دارات الجامع الكامل ونصف الجامع باستخدام تقنية الـ GDI ومن ثم بناء دارة الضارب حيث تشير الرموز 00،01،02 الى المداخل A0B0,A0B1,A0B2 على التوالي.



الشكل(3): دارة ضارب فيدي لـ 4 بت

ظهرت العديد من الدراسات التي اهتمت بتصميم دارة جامع كامل لبت واحد وفق تقنية GDI [8-10]، والتي اعتمدت على تعديل المعادلات البوليانية لدارة الجامع الكامل القياسية المبينة بالمعادلتين (1) و (2).

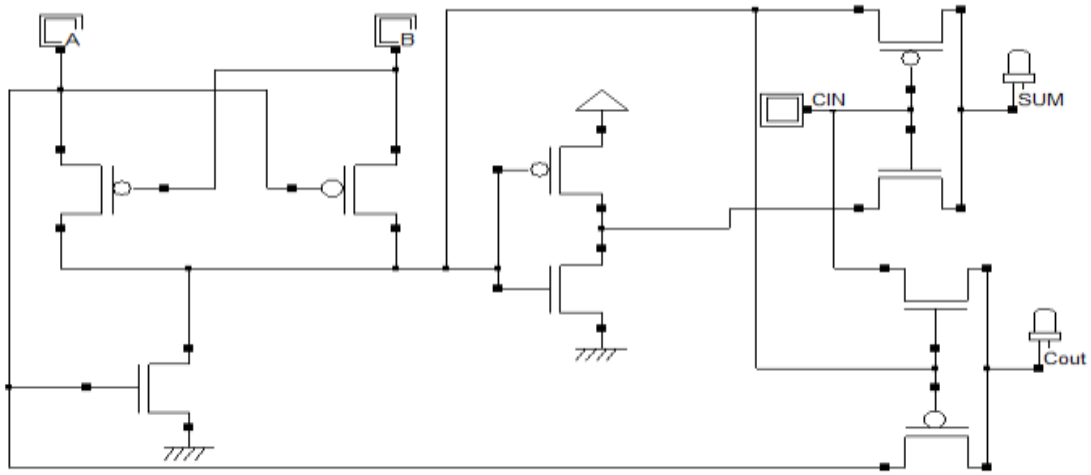
$$SUM = A \oplus B \oplus C \qquad (1)$$

$$Cout = A \cdot B + B \cdot C + C \cdot A$$
$$Cout = A \cdot B + C(A \oplus B) \qquad (2)$$

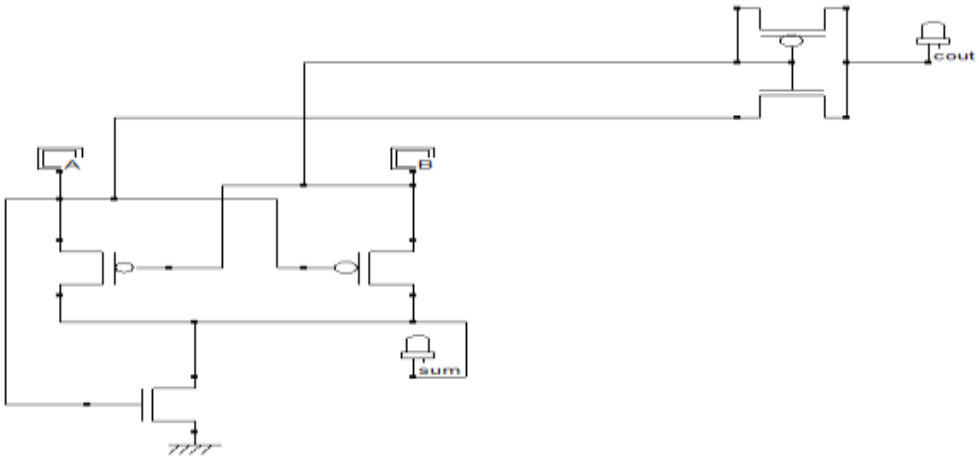
يمكن إعادة صياغة المعادلات القياسية السابقة لتصبح بالشكل التالي:

$$SUM = (A \oplus B).C + (A \odot B)C \qquad (3)$$
$$Cout = (A \odot B)C + (A \oplus B)C \qquad (4)$$

الشكل (4) يبين دارة جامع كامل لبت واحد بتقنية GDI، حيث تتألف هذه الدارة من تسع ترانزستورات فقط، وتعتمد من حيث التصميم على استخدام بوابة XOR-XNOR لتوليد اشارتي الـ SUM و الـ Cout [13] بينما يوضح الشكل(5) دارة نصف الجامع لبت واحد بتقنية GDI التي تحتاج فقط خمس ترانزستورات لتوليد اشارتي الـ SUM و الـ Cout .



الشكل (4): دارة جامع كامل لبت واحد بتقنية GDI

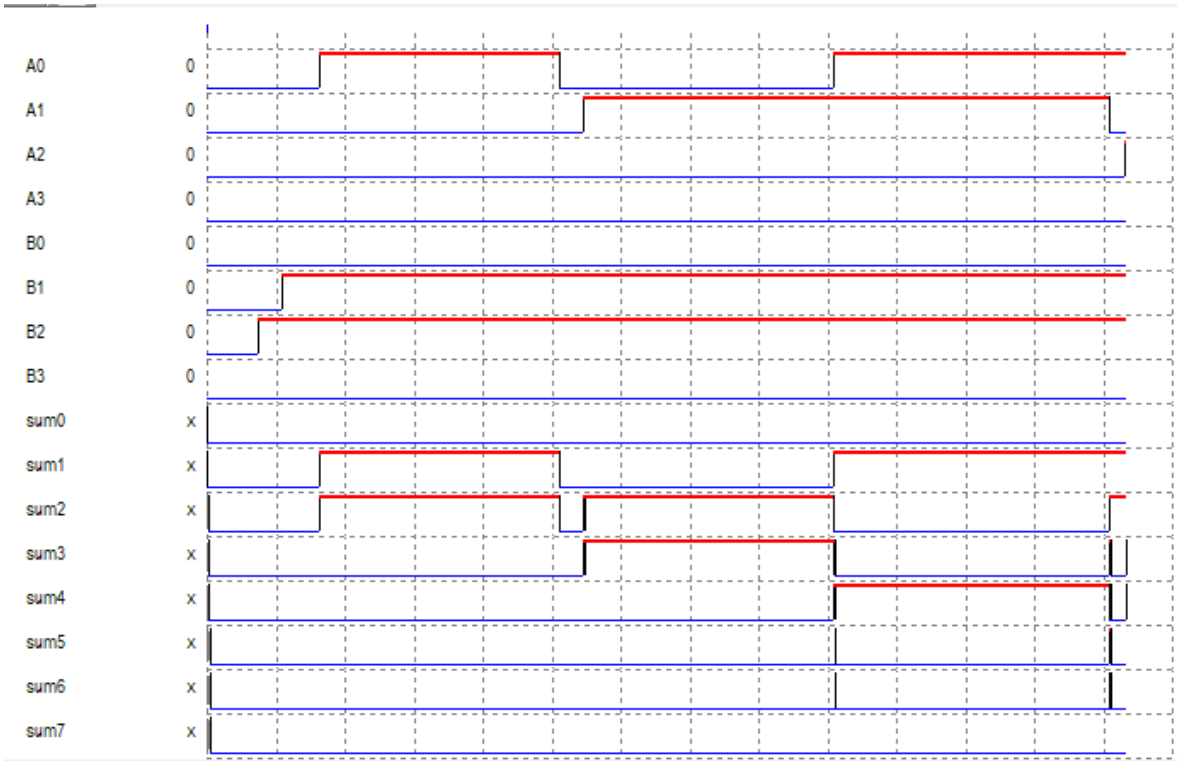


الشكل (5): دارة نصف جامع لبت واحد بتقنية GDI

النتائج والمحاكاة:

1. مرحلة محاكاة واختبار التصميم :

بعد أن استعرضنا بنية دارة الضارب الفيدي بتقنية الـ GDI تم الاعتماد على برنامج DSCH3.5 من اجل محاكاة الدارة حيث يبين الشكل (6) نتائج المحاكاة للتأكد من صحة عمل هذه الدارة.

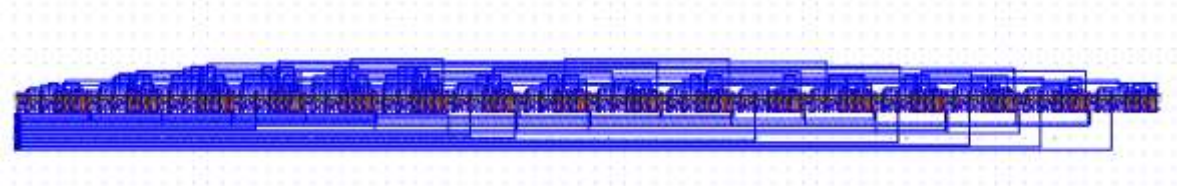


الشكل(6): نتائج المحاكاة دارة الضارب الفيدي بتقنية الـ GDI

وبعد التأكد من نتائج المحاكاة ، قمنا بتوليد ملف الوصف البنوي بلغة Verilog من أجل عملية رسم الخريطة الفيزيائية Layout.

2.4. مرحلة رسم الخريطة الفيزيائية Layout:

من اجل رسم ومحاكاة الخريطة الفيزيائية Layout تم الاعتماد على برنامج MICROWIND 3.5 وعلى ملف الوصف البنوي بلغة Verilog من المحاكاة السابقة . الشكل (7) يبين الخريطة الفيزيائية "layout" لدارة ضارب فيدي 4بت بتقنية GDI .



الشكل (7) : الخريطة الفيزيائية لدارة ضارب فيدي 4بت بتقنية GDI

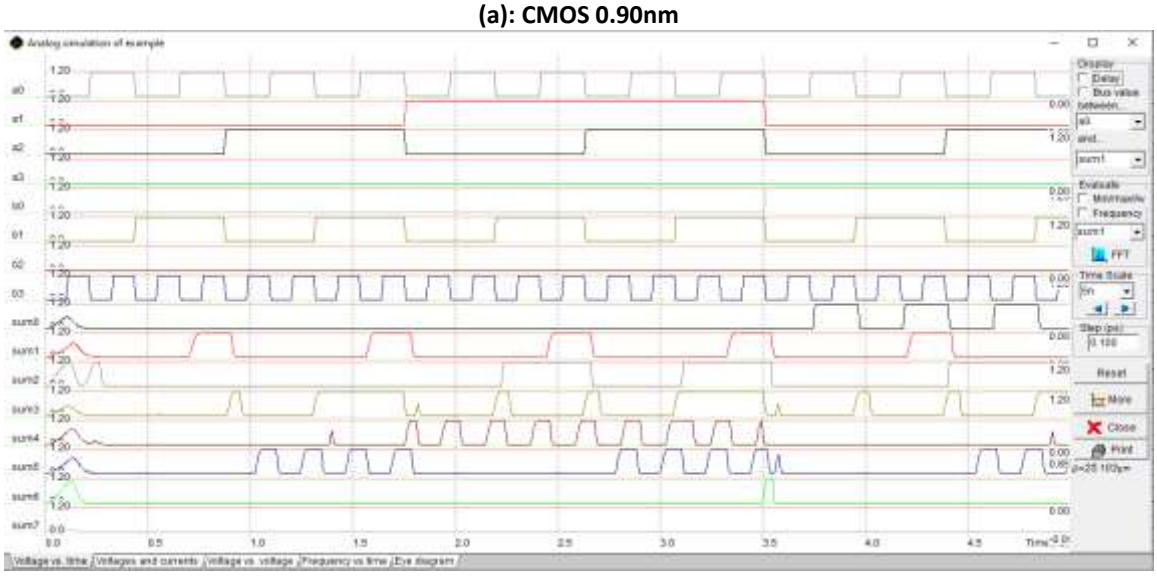
النتائج والمناقشة:

من أجل عمليات مقارنة الأداء من حيث مساحة الرقاقة والطاقة المستهلكة ، فإن رسم الخريطة لفيزيائية Layout للدارة سيتم بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدرارات الالكترونية وهي:

CMOS 0.90nm، CMOS 0.45nm و CMOS 0.32nm.

الشكل (8) يبين نتائج محاكاة الخريطة الفيزيائية "layout" لدارة ضارب فيدي 4 بت بتقنية GDI بالاعتماد على التقنيات (CMOS 0.90nm, CMOS 0.45nm و CMOS 0.32nm).

(a): CMOS 0.90nm



(b): CMOS 0.45nm

(c): CMOS 0.32nm

الشكل (8): نتائج محاكاة الخريطة الفيزيائية "layout" لدارة ضارب فيدي 4 بت بتقنية GDI بالاعتماد على عدة تقنيات لتكنولوجيا تصنيع الدرارات الالكترونية

يبين الجدول (2) مساحة الرقاقة والطاقة المستهلكة لكل تقنية من التقنيات السابقة من أجل دارة ضارب فيدي 4 بت بتقنيةGDI

الجدول(2): مساحة الرقاقة والطاقة المستهلكة لكل تقنية من التقنيات المستخدمة

التقنية المستخدمة(nm)	0.90	0.45	0.32
مساحة الرقاقة (μm^2)	962.9	636.2	382.5
الطاقة المستهلكة (µw)	38.657	25.103	19.870
عدد الترانزستورات	124		

نلاحظ من الجدول السابق أن مساحة الرقاقة قد انخفضت بمقدار 40% عند الانتقال من تقنية CMOS 0.45nm الى تقنية CMOS 0.32nm .

فيما يخص الطاقة المستهلكة نلاحظ أن الطاقة المستهلكة انخفضت بمقدار 20.8% عند الانتقال من تقنية CMOS 0.45nm الى تقنية CMOS0.32%.

نلاحظ مما سبق ان استخدام تقنية CMOS0.32% أعطى نتائج افضل فيما يتعلق بعدد الترانزستورات والطاقة المستهلكة والمساحة على الشريحة مقارنةً بالتقنيات الأخرى المستخدمة.

ومن جهة أخرى فإن النموذج المقترح أدى أيضاً إلى تخفيض عدد الترانزستورات والطاقة المستهلكة بشكل جيد مقارنة مع التصاميم المقترحة في [16][15][14] كما هو مبين في الجدول (3).

الجدول (3): مقارنة التصميم المقترح مع تصاميم سابقة

الطاقة المستهلكة (µw)	عدد الترانزستورات	
14.33	2394	التصميم المقترح في [14]
57.15	152	التصميم المقترح في [15]
39	146	التصميم المقترح في [16]
19.870	124	التصميم المقترح

الاستنتاجات والتوصيات:

في هذا البحث تم تصميم نموذج لدارة ضارب فيدي 4 بت باستخدام تقنية GDI، تم دمج الرياضيات الفيدية مع تقنية GDI الأمر الذي أعطى التصميم سرعة وسلاسة في انجاز العمليات وكذلك خفض عدد الترانزستورات والطاقة المستهلكة والتأخير الزمني.

وبمقارنة نتائج المحاكاة نلاحظ أن هذا النموذج استطاع تخفيض عدد الترانزستورات بنسبة 18.5% بالمقارنة مع التصميم المقترح في [15] وبنسبة 15% بالمقارنة مع التصميم المقترح في [16] وكذلك تم تقليل تلطاقة المستهلكة بنسبة 65% بالمقارنة مع التصميم المقترح في [15] وبنسبة 49% بالمقارنة مع التصميم المقترح في [16].

أما التصميم المقترح في [14] فقد استطاع تخفيض الطاقة بنسبة 23% بالمقارنة مع تصميمنا المقترح على حساب زيادة كبيرة جداً بعدد الترانزستورات تقدر ب 94%.

References:

[1] Rabaey, J. M., Chandrakasan, A. P., & Nikolić, B. (2003). *Digital integrated circuits: a design perspective* (Vol. 7). Upper Saddle River, NJ: Pearson Education.

[2] Kaur, S., Singh, B., & Jain, D. K. (2015). Design and performance analysis of various adders and multipliers using GDI technique. *International Journal of VLSI design & Communication Systems (VLSICS)*, *6*(5), 45-56

[3] Gupta, S., & Wairya, S. (2016). A GDI Approach to Various Combinational Logic Circuits in CMOS Nano Technology. *International Journal of Engineering and Computer Science*, *5*(4).

[4] Huang, Z. (2003). *High-level optimization techniques for low-power multiplier design* (Doctoral dissertation, University of California, Los Angeles

[5] Lakshmaiah, Dayadi, M. V. Subramanyam, and K. Sathya Prasad. "A Novel Design of Low-Power 1-Bit CMOS Full-Adder Cell Using XNOR and MUX." INTERNATIONAL JOURNAL OF MANAGEMENT & INFORMATION TECHNOLOGY 7, no. 3 (2013): 1155-1165.

[6] Reddy, Karthik G. "Low power-area designs of 1bit Full adder in cadence virtuoso platform." International Journal of VLSI Design & Communication Systems 4, no. 4 (2013): 55.

[7] Uma, R., and P. Dhavachelvan. "Modified gate diffusion input technique: a new technique for enhancing performance in full adder circuits." Procedia Technology 6 (2012): 74-81.

[8] Sreelatha, P., P. Koti Lakshmi, and Rameshwar Rao. "Performance analysis of 1-bit full adder using different design techniques." In 2017 2nd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT), pp. 2262-2266. IEEE, 2017.

[9] Jiang, Y., Al-Sheraidah, A., Wang, Y., Sha, E., & Chung, J. G. (2004). A novel multiplexer-based low-power full adder. *IEEE Transactions on Circuits and Systems II: Express Briefs*, *51*(7), 345-348.

[10] Chang, C. H., Zhang, M., & Gu, J. (2003, September). A novel low power low voltage full adder cell. In 3rd International Symposium on Image and Signal Processing and Analysis, 2003. ISPA 2003. Proceedings of the (Vol. 1, pp. 454-458). IEEE.

[11] Sarkar, Sudeshna, Monika Jain, Arpita Saha, and Amit Rathi. "Gate Diffusion Input: A technique for fast digital circuits (implemented on 180 nm technology)." IOSR Journal of VLSI and Signal Processing (IOSR-JVSP) 4, no. 2 (2014): 49-53.

[12] Saleh,S.(2019). *Analysis and performance evaluation of 1-bit Full Adder circuit based on static-CMOS and GDI technology, and the impact of the technology used in manufacturing on the performance,* Tartous University Journal of Research and Learning Studies, Engineering Science Series , Vol 3 (4).

[13] Gotam, Sandeep, et al. "A New design of 1-bit full adder based on XOR-XNOR gate." *International Journal of Enhanced Research in Science Technology & Engineering* 3.6: 81-85.

[14] Pokhriyal, Nidhi, and Neelam Rup Prakash. "Area efficient low power Vedic multiplier design using GDI technique." *International Journal of Engineering Trends and Technology (IJETT)* 15.4 (2014).

[15] Bansal, Malti, and Jasmeet Singh. "Comparative analysis of 4-bit CMOS vedic multiplier and GDI vedic multiplier using 18nm FinFET technology." *2020 International Conference on Smart Electronics and Communication (ICOSEC)*. IEEE, 2020.
[16] Yadav, Rishu, and Manish Kumar. "Implementation of 4× 4 fast vedic multiplier using GDI method." *2020 International Conference on Electrical and Electronics Engineering (ICE3)*. IEEE, 2020.