مجلة جامعة تشرين للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (39) العدد (2) 2017
Tishreen University Journal for Research and Scientific Studies - Engineering Sciences Series Vol. (39) No. (2) 2017

تصميم مرشح استجابة محدودة FIR من مرتبة عالية باستخدام مصفوفة انقباضية ثنائية البعد اعتمادا على خوارزمية حساب موزع معدّلة

الدكتور حسن البستاني*
الدكتور عفيف صقور**
نور جبيلي***

(تاريخ الإيداع 19 / 10 / 2016. قُبِل للنشر في 5/ 4 / 2017)

□ ملخّص □

يمثل تصميم المصفوفة الانقباضية نموذجاً مثيراً للاهتمام لتنفيذ عتاد صلب عالي الكفاءة من أجل تطبيقات معالجة الإشارة الرقمية DSP العالية الكثافة الحسابية، بحيث يكون مدعوماً بميزات مثل البساطة والانتظام ونمطية البنية، اضافة إلى ذلك فإنها تمتلك امكانيات كبيرة لتقديم معدل انتاجية عالي من خلال استغلال المستوى العالي من التزامن باستخدام التوارد (Pipelining) والمعالجة المتوازية أو كليهما. قدمنا في هذا البحث تصميماً يحقق المثالية لبنى حسابية أحادية وثنائية بتوارد كلي للتطبيق عالي الكفاءة من حيث المساحة والتأخير واستهلاك الطاقة لمرشح الـ FIR، وذلك بالتجزئة الانقباضية لحسابات الجداء الداخلي المعتمدة على خوارزمية الحساب الموزع distributed arithmetic(DA)، يقدم مخطط التجزئة الانقباضي خياراً مرناً لطول عناوين الـ LUT look-up-tables للحسابات المعتمدة على خوارزمية الحساب الموزع للحصول على تطبيق يحقق تبادل مناسب بين الزمن والمساحة. قمنا بتطبيق البنية الثنائية المقترحة باستخدام الـ DSP Builder. حسبت عدة مقاييس للأداء مثل التأخير latency والطاقة الانتاجية throughput من أجل بنيتي 1D و 2D المقترحتين لمرشح الـ FIR. بينت مقارنة النتائج بوضوح الكفاءة في السرعة للبنية 2D التي ازدادت في مقابل الازدياد في المساحة المستهلكة، وبالتالي فهي أسرع بكثير من بنى مرشحات الـFIR التقليدية.علاوة على ذلك فقد وجدنا أن اختيار طول العنوان M=4 يعطي التحقيق الأعلى كفاءة من حيث المساحة والتأخير واستهلاك الطاقة مقارنة مع جميع البنى الأخرى والمعتمدة على خوارزمية DA.

الكلمات مفتاحية: مرشحات الاستجابة الترددية المحدودة، الانطواء الخطي، المصفوفة الانقباضية، مصفوفة البوابات المنطقية القابلة للبرمجة، خوارزمية الحساب الموزع.

* مدرس – قسم هندسة النظم الحاسوبية والالكترونية – كلية هندسة تكنولوجيا المعلومات والإتصالات– جامعة طرطوس–طرطوس– سورية.
**مدرس – قسم هندسة الاتصالات والالكترونيات – كلية الهندسة الميكانيكية والكهربائية –جامعة تشرين–اللاذقية–سورية.
***طالبة دراسات عليا(ماجستير)–قسم هندسة الالكترونيات وتطبيقاتها–كلية الهندسة المكيانيكية والكهربائية–جامعة تشرين–اللاذقية–سورية.

مجلة جامعة تشرين للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (39) العدد (2) 2017
Tishreen University Journal for Research and Scientific Studies - Engineering Sciences Series Vol. (39) No. (2) 2017

Design of High Order FIR Filter Using 2D Systolic Array Of Modified Distributed Arithmetic Algorithm

Dr. Hasan Albustani [*]
Dr. Afif Saqour [**]
Nour Jbaily [***]

(Received 19 / 10 / 2016. Accepted 5 / 4 / 2017)

□ ABSTRACT □

Systolic design represent an attractive paradigm for efficient hardware implementation of computation-intensive DSP applications, being supported by the features like simplicity، regularity and modularity of structure. Additionally, they also possess significant potential to yield high-throughput rate by exploiting high-level of concurrency using pipelining or parallel processing or both. we present the design optimization of one and two-dimensional fully-pipelined computing structures for area-delay-power-efficient implementation of finite impulse response (FIR) filter by systolic decomposition of distributed arithmetic (DA)-based inner-product computation .The systolic decomposition scheme is found to offer a flexible choice of the address length of the look-up-tables (LUT) for DA-based computation to decide on suitable area-time trade-off. The proposed 2D structure is implemented using DSP builder. Various key performance metrics such, latency, and throughput are estimated for the proposed 1D & 2D structures. Comparison of results clearly shows that efficiency in term of speed in the 2D structure has been increased having more area consumption, and therefore much faster from the conventional FIR filter. Moreover, It is found that the choice of address-length M = 4 yields the best of area-delay power-efficient realizations of the FIR filter for various filter orders. As well, the proposed FPGA implementation is found to involve significantly less area-delay complexity compared with the existing DA-based implementations of FIR filter.

Keywords: Finite impulse response (FIR) filter, linear convolution, systolic array, field programmable gate arrays (FPGA), distributed arithmetic.

* **Assistant Professor, Department of computer and electronic systems, Department of telecommunication and information technology, Tartous university, Tarots, Syria.**
** **Assistant Professor, Department of Comunication and Electronic Engineering, Faculty of Mechanical and Electrical Engineering, Tishreen University, Lattakia, Syria.**
*** **Master Student, Department of Comunication and Electronic Engineering , Faculty of Mechanical and Electrical Engineering, Tishreen University, Lattakia, Syria.**

مقدمة:

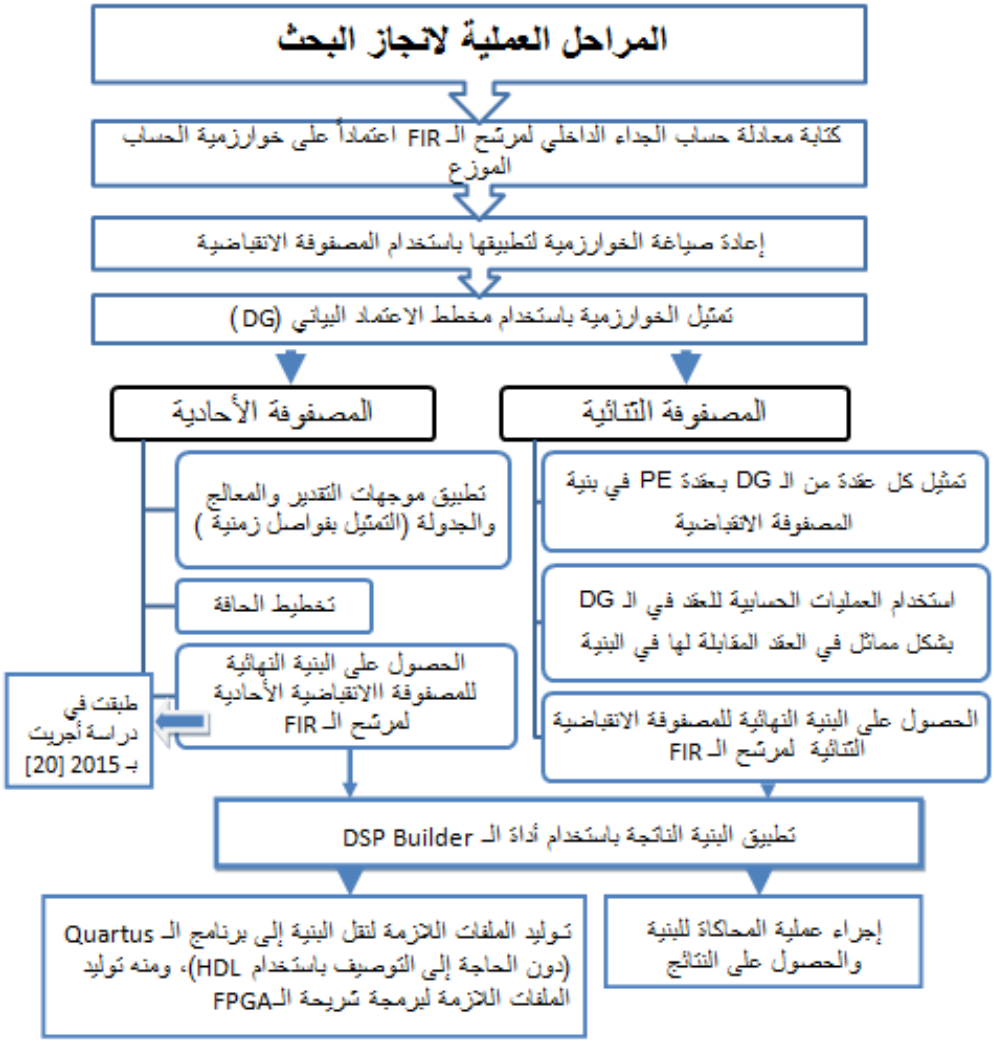
تستخدم المرشحات الرقمية ذات الاستجابة المحدودة FIR على نطاق واسع بسبب دورها الرئيس في تطبيقات معالجة الإشارات الرقمية المختلفة DSP [2],[1]، ومع التطور الكبير في تقنية الأنظمة الرقمية الكبيرة جداً (Very Large Scale integrated Circuits VLSI) اكتسبت الـ DSP اهتماما واسعاً في مجال البحث العلمي والتطبيق العملي، وتزايد الطلب بشكل كبير على تحقيق مرشح FIR بسرعة كبيرة جداً واستهلاك منخفض للطاقة. وباعتبار أن التعقيد في تطبيق المرشح يزداد مع ازدياد درجة المرشح ومع ازدياد دقة الحسابات، فإن تحقيق هذه المرشحات في الزمن الحقيقي في المستوى المطلوب من الدقة يعتبر مهمة في غاية الصعوبة (معالجات الـ DSP المعيارية لا يمكنها تطبيق مرشحات رقمية بمعدل عينات أعلى من عدة ميغا هرتز) لذلك فقد أجريت محاولات عديدة لتطوير بنى مكرسة وبنى قابلة لإعادة التشكيل لتطبيق مرشحات الـ FIR في الدارات المتكاملة للتطبيقات الخاصة (Application Specific Integrated Circuits ASICs) ومنصة مصفوفة البوابات المنطقية القابلة للبرمجة (Field Programmable Gate Arrays (FPGA) platforms). تمثل تصاميم المصفوفة الانقباضية تمثل نموذج بناء جذاب لتنفيذ كيان صلب عالي الكفاءة من أجل تطبيقات معالجة الإشارة الرقمية DSP عالية الكثافة الحسابية، بحيث يكون مدعوماً بميزات مثل البساطة والانتظام ونمطية البنية. إضافة إلى ذلك فإنها تمتلك امكانيات كبيرة لتقديم معدل انتاجية عالي high-throughput من خلال استغلال المستوى العالي من التزامن باستخدام Pipelining والمعالجة المتوازية أو كلاهما [3]. لاستغلال فوائد المعالجة الانقباضية تم اقتراح العديد من الخوارزميات والبنى لتصميم مرشحات الـ FIR باستخدام المصفوفة الانقباضية [7]-[4]، ومع ذلك فإن الضوارب في هذه البنى تحتاج إلى جزء كبير من مساحة الرقاقة وبالتالي يفرض قيود على أكبر عدد ممكن من عناصر المعالجة (processing element PE) التي يمكن استيعابها وعلى أعلى درجة للمرشح يمكن تحقيقها. اكتسبت تقنية تعتمد على نظرية الحساب الموزع DA من دون استخدام ضارب أهمية كبيرة خلال السنوات الأخيرة وذلك بسبب قدرتها على المعالجة عالية الانتاجية والانتظام المتزايد الذي يؤدي إلى بنى حسابية ذات فعالية عالية من حيث التكلفة والمساحة والزمن. لحساب ناتج الجداء الداخلي اعتماداً على خوارزمية DA تستخدم سلسلة من جداول البحث LUT (look-up-tables) تعطي خرجاً موافقا للدخل المطبق تتبعها عمليات تراكم لخرج الـ LUT المزاح. العمليات الحسابية استناداً إلى خوارزمية DA مناسبة تماماً للتحقيق باستخدام تقنية FPGA، وذلك لأن الـLUT بالإضافة إلى عمليات الجمع والإزاحة يمكن أن تطبق بشكل فعال جداً على بنى FPGA المنطقية المعتمدة على LUT. في مرشحات الـ FIR تشتق احدى سلاسل الالتفاف من عينات الدخل بينما تشتق السلسلة الأخرى من معاملات الاستجابة الدفعية الثابتة. يمكننا هذا السلوك لمرشح الـ FIR من استخدام تقنية معتمدة على DA لتحقيق بنية معتمدة على الذواكر. تعطي هذه البنية خرجاً بسرعة أعلى مقارنة مع التصاميم التي تعتمد على الضوارب والمراكمات لأنها تخزن النتيجة الجزئية المحسوبة مسبقاً في عناصر ذاكرة ROM [8]، والتي يتم قراءتها ومراكمتها للحصول على النتيجة المرغوبة. وعلى الرغم من ذلك فإن متطلبات الذاكرة لتحقيق مرشحات

الـ FIR اعتماداً على خوارزمية الحساب الموزع تزداد بشكل أسي مع ازدياد درجة المرشح.

خوارزمية الحساب الموزع طرحت للمرة الأولى من قبل Croisier et al [9]. ثم طورت من قبل Peled and Lui [10] للتحقيق الفعال للمرشحات الرقمية. أجريت محاولات لاستخدام ترميز الإزاحة الثنائي (offset_ binary) لتقليل حجم ذاكرة الـ ROM بعامل يساوي 2 [11].اقترح كل من (H. Yoo and D. V.

Anderson) بنية أساسها خوارزمية الحساب الموزع احتوت على عدد أقل من الـ LUT بمقابل الزيادة في عدد الجوامع وأدت إلى تقليل فضاء الذاكرة بمقابل الجوامع المضافة [12]. اقترحت بنية ذات كفاءة عالية لمرشح FIR باستخدام خوارزمية الحساب الموزع بـ M بت متوازي، حيث أن الناتج الجزئي تم حسابه مسبقاً وخزن في ذواكر RAM موزعة، وقد أدت إلى حذف مقدار كبير من المنطق المطلوب لحساب ناتج الجداءات. استهلكت هذه البنية المقترحة مساحة أقل ووفرت عمليات حسابية بسرعة أكبر نظراً لحذف الضوارب [13]. نفذت بنية جديدة لمرشحات الـ FIR تعتمد على خوارزمية الحساب الموزع التسلسلية والمتوازية [14]، ونفذت البنية من أجل مرشح FIR بـtap 3 ومرشح بـ tap 16، وأنجزت عملية التأليف باستخدام برنامج Xilinx ISE 10.1i وطبقت على شريحة FPGA من العائلة Spartan3E، وبينت نتائج التحليل أن خوارزمية DA المتوازية كانت أسرع وأقل استهلاكاً للطاقة بالمقارنة مع بنية نفس المرشح باستخدام خوارزمية DA التسلسلية ونفس المرشح بالبنية التقليدية. كما بينت الدراسة أنه من أجل مرشحات الـ FIR بدرجات صغيرة فإن خوارزمية DA التسلسلية توفر 50% في المساحة والتكلفة بالمقارنة مع تقنيات التصميم التقليدي. وكانت السرعة تقريباً أكبر بمرتين من أجل خوارزمية DA التسلسلية و بثلاث مرات من أجل خوارزمية DA المتوازية بالمقارنة مع مرشح الـ FIR البسيط. طرحت دراسة مماثلة تماماً للدراسة السابقة بدءاً من اقتراح الخوارزمية المعدلة وحتى الحصول على النتائج [15]، ولكن في هذه الدراسة تم انجاز التطبيق أيضاً على شريحة EP2C5T144C8 من شركة ALTERA وذلك باستخدام برنامج QUARTUS II 7.1.، وبمقارنة نتائج المحاكاة بين شكل الموجة (Waveform) باستخدام برنامج Modelsim والمحاكاة باستخدام برنامج MATLAB تبين أن الخطأ في محاكاة الكيان الصلب يساوي ±1%، وكانت نتائج التصميم متوافقة مع المتطلبات المرغوبة وبنية المرشح عملت بشكل جيد. مقارنة بين تقنيتين لتطبيق مرشحات الـ FIR أحدها باستخدام (MAC) والأخرى باستخدام خوارزمية الحساب الموزع (DA) أثبتت أن البنية المعتمدة على DA قللت من التأخير والمساحة واستهلاك الطاقة مقارنة مع البنية المعتمدة على MAC [16]، وكان استهلاك هذه البنية من الطاقة أقل بـ 50% مقارنة مع البنية المعتمدة على MAC. اقترح كل من (Ramesh & Nathiya) بنية لمرشح FIR باستخدام خوارزمية DA معدلة تعتمد على تقسيم الـ LUT [17]، حيث قام الباحثان بتحليل أداء البنية المقترحة لمرشحات بدرجات مختلفة و من أجل تقسيمات مختلفة للـ LUT، البنية المقترحة أنتجت تطبيقاً لمرشح الـ FIR بكفاءة عالية من حيث المساحة والزمن واستهلاك الطاقة وبالتالي اختفاء أقل بشكل ملحوظ وتعقيد أقل مقارنة مع البنى التقليدية لمرشح الـ FIR. وبالنتيجة كل هذه البنى غير مناسبة لتطبيق مرشح FIR باستخدام الكيان الصلب للمصفوفة الانقباضية باعتبار أن الجداءات الجزئية الناتجة من الذواكر المقسمة تجمع مع بعضها بعض بواسطة شبكة من الجوامع على الخرج. أداة جديدة للتوليد الآلي لمرشح الـ FIR ببنية متوازية إلى حد كبير معتمدة على منهجية التصميم PARO طرحت في [18]، أنجز فيها المصممون تقسيم هرمي لتحقيق التوازن بين الذاكرة المحلية والاتصالات الخارجية، و حققوا طاقة انتاجية أعلى واختفاء أقل باستخدام التقسيم المكاني. اقترحت تقنية تفكك المصفوفة الانقباضية من أجل تطبيق جداء الطي الدوراني والخطي بكفاءة عالية في حجم الذاكرة وبالاعتماد على خوارزمية DA [19]، طبقت البنية المقترحة بمصفوفة انقباضية أحادية وثنائية ونفذت جداء الطي الدوراني فقط واقترحت في التوصيات استخدام البنية المقترحة للحصول على كفاءة عالية لحسابات الجداء الداخلي وهو الأساس الذي اعتمدنا عليه في البحث لتصميم مرشح FIR عالي الكفاءة من حيث المساحة والتأخير واستهلاك الطاقة عند تطبيقه على الـ FPGA. الجدير بالذكر أنه وبعد الانتهاء من انجاز التصميم المقترح في البحث نشرت مقالة في عام 2015 اقترحت فيها نفس الفكرة ولكن نفذت البنية باستخدام IP CORE من أجل فقط المصفوفة الانقباضية الأحادية وطبقت

باستخدام أداة Xilinx 10.1i وأجريت المحاكاة باستخدام برنامج Modelsim6.4b، وكانت نتائج البحث متوافقة مع النتيجة المتوقعة حيث أن البنية المقترحة أدت إلى زيادة بالسرعة بمقدار 47% مقارنة مع البنية التقليدية لمرشح الـ FIR، إضافة إلى ذلك ولدى مقارنة النتائج تبين أن البنية المقترحة أدت إلى زيادة في الكفاءة بالنسبة لاستهلاك الطاقة مع استهلاك نفس المساحة تقريباً [20].



الشكل(1) المراحل العملية لانجاز البحث

أهمية البحث وأهدافه:

يهدف البحث إلى انجاز التصميم الأمثل لبنى حسابية أحادية وثنائية بتوارد كلي (Fully Pipelined) للتطبيق عالي الكفاءة من حيث المساحة والتأخير واستهلاك الطاقة لمرشح الـ FIR وذلك بالتجزئة الانقباضية لحسابات الجداء الداخلي المعتمدة على خوارزمية الحساب الموزع.

لا يمكن لمعالجات الـ DSP المعيارية تطبيق مرشحات رقمية بمعدل عينات أعلى من عدة ميغا هرتز، لذلك فإن التصميم المقترح وعند تطبيقه باستخدام تقنية الـ FPGA نحصل على مرشحات بسرعات أعلى إضافة إلى الكفاءة من حيث المساحة واستهلاك الطاقة، وبالتالي تحقيق المتطلب الدائم بالحصول على معالجة أسرع واختفاء أقل للإشارة في التطبيقات الحديثة.

طرائق البحث ومواده:

اعتمد هذا البحث على دراسة العديد من البحوث المنجزة في هذا المجال والتوقف عند نتائجها وتوصياتها. كما تم استخدام الطرق التحليلية والرياضية والحسابية لإثبات النتائج معتمدين على المراجع العملية المختصَة، وأداة التصميم (DSP Builder) لنمذجة التصميم المقترح لمرشح الـ FIR ودراسة نتائجه ومقارنتها مع مرشحات الـ FIR التقليدية ومرشحات الـ FIR المتنوعة والمعتمدة على خوارزمية الحساب الموزع والواردة في البحوث المنجزة.

الشكل (1) يظهر مخطط يوضح المراحل العملية لانجاز البحث.

صياغة الخوارزمية:

سنوضح في هذا القسم بإيجاز نظرية الحساب الموزع التقليدية لحساب ناتج الجداء الداخلي ثم سنشتق منها مخطط تفكك لتطبيق بنية مرنة لمرشح الـ FIR المعتمد على خوارزمية DA باستخدام المصفوفة الانقباضية.

خوارزمية الحساب الموزع لحساب ناتج الجداء الداخلي

بفرض أن الناتج الداخلي لموجهين A,B كل منهما مكون من N نقطة يعطى بالعلاقة:

$$C_l = \sum_{K=0}^{N-1} A_k . b_{kl} \qquad (1)$$

وذلك على اعتبار أن الموجه A ثابت بينما الموجه B يمكن أن يتغير من لحظة لأخرى. وبفرض أن L هو طول الكلمة، فإن كل عنصر من B يمكن أن يمثل باستخدام المتمم الثنائي بالشكل:

$$B_k = -b_{k0} + \sum_{l=1}^{L-1} b_{kl} . 2^{-l} \qquad (2)$$

حيث b_{kl} يمثل البت رقم l من B_k و b_{k0} يمثل البت رقم 0 من B_k

بتعويض المعادلة (2) في (1) نحصل على الشكل الموسع لحساب الناتج الداخلي كما هو مبين بالمعادلة:

$$c = -\sum_{K=0}^{N-1} A_k . b_{k0} + \sum_{K=0}^{N-1} A_k . \left[\sum_{l=1}^{L-1} b_{kl} . 2^{-l} \right] \qquad (3)$$

لتحويل الشكل التقليدي لمجاميع الجداء للناتج الداخلي في المعادلة (1) إلى الصيغة التوزيعية، سيتم إجراء تبادل بين مجاميع الرمزين k و l في الجزء الثاني من المعادلة (3) لنحصل على

$$c = -\sum_{k=0}^{N-1} A_k . (b_{k0}) + \sum_{l=1}^{L-1} 2^{-l} . \left[\sum_{k=0}^{N-1} A_k . b_{kl} \right] \qquad (4)$$

ولتبسيط المناقشة سوف نفترض أن عينات الإشارة عبارة عن كلمات غير مؤشرة كل منها بطول L، فإن الناتج الداخلي المعطى بالمعادلة (4) يمكن أن يعبر عنه بصيغة أبسط وذلك بإجراء بعض التعديلات على الصيغة كما هو مبين بالمعادلتين التاليتين

$$C = \sum_{l=0}^{L-1} 2^{-l} . C_l \qquad (5a)$$

حيث

$$C_l = \sum_{K=0}^{N-1} A_k . b_{kl} \qquad (5b)$$

وبما أننا فرضنا أن الموجه A ثابت وكل عنصر من سلسلة N بت{ b_{kl} من $\{0 \le k \le N-1$ يمكن أن يكون 0 أو 1، فإن أي من المجاميع الجزئية C_l من $l = 0, \dots, L-1$ يمكن أن يكون له 2^N احتمال من القيم. وبالنتيجة فإن كل 2^N احتمال لقيم C_l يمكن أن تحسب مسبقاً وتخزن في ذاكرة ROM. أي أنه عند حساب الناتج الداخلي فإن المجموع الجزئي C_l يمكن أن يقرأ من ذاكرة ROM باستخدام سلسلة البت { b_k} كعنوان. وبالتالي فإن الناتج الداخلي يمكن أن يحسب تبعاً للمعادلة (5)، وذلك بعد L دورة زمن تتم فيها عمليات قراءة من ذواكر الـ ROM لعدد L من سلاسل البت { b_{kl}} من أجل $0 \le l \le L-1$ تتبعها عمليات إزاحة وتراكم [21].

المصفوفة الانقباضية:

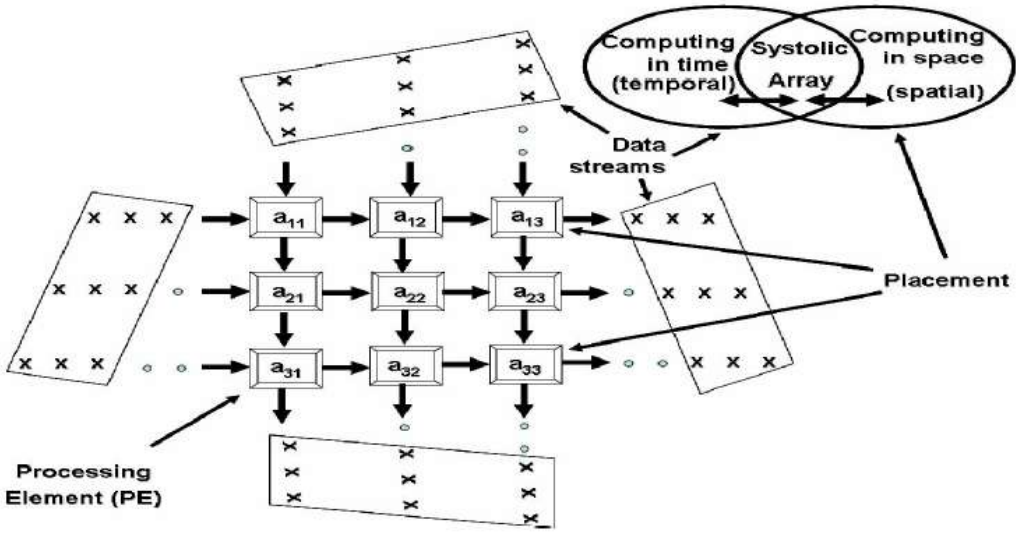
المصفوفة الانقباضية هي احدى أنواع بنى الحواسب الموزعة والتي تتكون من:

- مصفوفة من عناصر المعالجة (Processing Elements PEs) تسمى عقد.
- مرتبطة فيما بينها بواسطة وصلات بيانات محلية.

الخصائص التي تجعل من المصفوفة الانقباضية بنية متميزة هي النمطية والإيقاع والتزامن والقابلية للتوسعة والتوارد(Pipelinebility) [22–23]. البنية العامة للمصفوفة الانقباضية مبينة في الشكل (2). المصطلح "انقباضي" يستخدم بسبب التشابه بين هذه الأنظمة ونظام جهاز الدوران عند الانسان. القلب في جهاز الدوران يرسل ويستقبل كمية كبيرة من الدم كنتيجة للضخ المتكرر وبشكل إيقاعي لكميات صغيرة من الدم خلال الشرايين والعروق، وبالتالي يمكننا القول بأن القلب في أنظمة الحاسوب الانقباضية يمثل الذاكرة العامة التي هي المصدر والهدف للبيانات التي تدخل وتخرج من المصفوفة الانقباضية. الشبكة الشريانية الوريدية تقابل بنفس الطريقة المعالجات والوصلات فيما بينها.

المفهوم الانقباضي:

النظام الانقباضي يمثل كاندماج بين خوارزمية والدارة المتكاملة المطبقة عليها [24]. تصنف هذه الأنظمة عادة كأجهزة حاسوب VLSI لأغراض خاصة عالية الأداء تناسب التطبيقات التي تتطلب تحقيق توازن بين الحسابات المركزة وموجات الدخل والخرج. وتعتبر المصفوفة الانقباضية بنية متوازية إلى حد كبير، منظّمة كشبكة من عناصر المعالجة PEs المتماثلة والبسيطة نسبياً، وتنفذ العمليات بشكل متزامن، حيث تضخ البيانات بأسلوب إيقاعي (خلال أزمنة منتظمة) من الذاكرة خلال المصفوفة الانقباضية، وتحسب كل عقدة (PE) بشكل مستقل نتيجة جزئية كتابع للبيانات الواردة من جيرانها المنابع وتخزن النتيجة ضمنها ثم تمررها إلى العقد الهدف وهكذا حتى الوصول إلى النتيجة النهائية التي تعاد إلى الذاكرة.



الشكل (2) البنية العامة للمصفوفة الانقباضية

الفائدة الرئيسية من المصفوفة الانقباضية هو أن معاملات البيانات والنتائج الجزئية تخزن ضمن (تمر عبر) مصفوفة المعالج وبالتالي لا توجد حاجة إلى ذاكرة رئيسية أو مخابئ داخلية خلال كل عملية كما هو الحال ضمن Von Neumann أو ماكينة هارفارد Harvard التسلسلية.

مخطط التجزئة لتطبيق المرشح الـ FIR باستخدام خوارزمية الـ DA:

يمكن حساب خرج مرشح الـ FIR من الدرجة N كناتج داخلي للاستجابة الدفعية $\{h(k)\}$ من أجل $\{k = 0, \dots, N-1\}$ وموجه الدخل $\{s_n(k)$ من أجل $k = 0, \dots, N-1\}$ يعطى بالمعادلة التالية:

$$y(n) = \sum_{k=0}^{N-1} h(k).\, s_n(k) \qquad (6)$$

حيث $s_n(k) = x(n-k)$ و $x(n)$ هي عينة الدخل الحالية. $h(k)$ هي سلسلة ثابتة، بينما $s_n(k)$ تتغير في كل لحظة أخذ عينات، $s_n(k)$ تتولد من الإزاحة المتسلسلة لعينات الدخل باستخدام نافذة من العينات بطول N، أي يتم استقبال عينة جديدة وإهمال العينة الأقدم. بمقارنة المعادلة (6) مع المعادلة (1) يمكن أن يحسب خرج المرشح وفقاً للمعادلة (5) كما يلي:

$$y(n) = \sum_{l=0}^{L-1} 2^{-l}.\, C_l \qquad (7a)$$

$$C_l = \sum_{k=0}^{N-1} h(k).\, (s_n(k))_l \qquad (7b)$$

حيث $\{(s_n(k))_l$ من أجل $l = 0, \dots, L-1\}$ هو البت رقم l من سلسلة البت $s_n(k)$. يمكن استخدام المعادلة (7) مباشرة لتطبيق المرشح FIR اعتماداً على نظرية DA وباستخدام ذواكر ROM تحتوي على 2^N احتمال لقيم C_l.

من أجل القيم الكبيرة لـ N، فإن قياس ذاكرة الـ ROM سوف يصبح كبيراً جداً, وزمن الوصول إلى الذاكرة يصبح أيضاً كبيراً. لذلك فإن التطبيق البسيط غير مناسب من أجل المرشحات ذات الدرجات العالية.

باعتبار N هو عدد مركب يعطى بـ $N = PM$ (P و M يمكن أن يكونا أي عددين صحيحين موجبين)، وبالتالي فإن الدليل K يمكن أن يكتب بالشكل ($m + pM$) حيث ($m = 0, \dots, M-1$) و($p = 0, \dots, P-1$), وبالتالي فإن المعادلة (7) يمكن أن تكتب بالشكل:

$$y(n) = \sum_{l=0}^{L-1} 2^l . \left(\sum_{p=0}^{P-1} (S_n)_{l,p} \right) \qquad (8a)$$

حيث

$$(S_n)_{l,p} = \sum_{i=0}^{M-1} h(m+pM).\left(s_n(m+pM)\right) \qquad (8b)$$

من أجل $m = 0, \dots, M-1$ و $p = 0, \dots, P-1$.

من أجل أي قيمة للاستجابة الدفعية $\{h(k)\}$، فإن 2^M احتمال لقيم $(S_n)_{l,p}$ والمقابلة لـ 2^M قيمة مختلفة لسلسلة البت المكونة من M نقطة $\{s_n(m+pM)$، من أجل $m = 0, \dots, M-1$ و $\{l = 0, \dots, L-1$ يمكن أن تخزن في LUT مكونة من 2^M كلمة. هذه القيم لـ $(S_n)_{l,p}$ يمكن الحصول عليها عندما تطبق سلسلة البت كعنوان لذاكرة الـ ROM. لذلك فإن المعادلة (8) يمكن ان تكتب كعملية قراءة للذاكرة بالشكل:

$$C(n) = \sum_{l=0}^{L-1} 2^l . \left(\sum_{p=0}^{P-1} \mathcal{F}(b_n)_{l,p} \right) \qquad (9)$$

حيث $\mathcal{F}(b_n)_{l,p} = (S_n)_{l,p}$

و $(b_n)_{l,p} = \left[\left(s_n(pM)\right)_l \quad \left(s_n(1+pM)\right)_l \dots \quad \left(s_n(M-1+pM)\right)_l \right]$

من أجل $0 \le l \le L-1$ و $0 \le p \le P-1$

موجه البت $(b_n)_{l,p}$ يستخدم كعنوان كلمة لـ (LUT) و $\mathcal{F}$ هي عملية القراءة من الذاكرة.

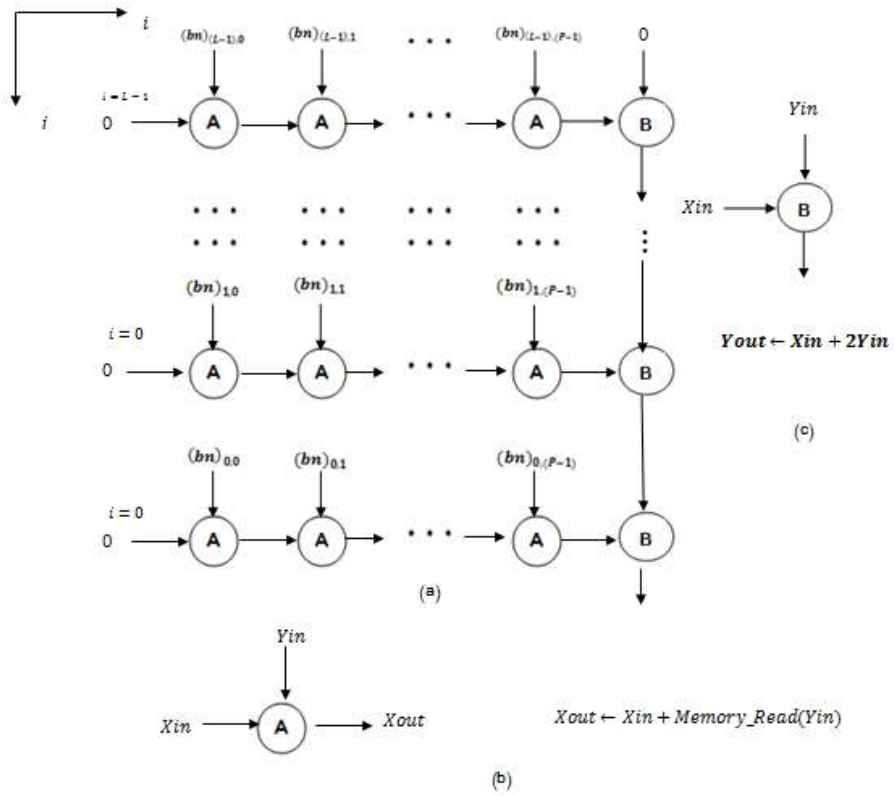
اشتقاق تراكيب المصفوفة الانقباضية:

بتطبيق منهجية تصميم المصفوفة الانقباضية [25]، سوف نشتق اعتماداً على DA مصفوفات انقباضية ببعد واحد (1_D) وببعدين (2_D) لمرشحات الـ FIR من مخطط الاعتماد البياني dependence graph (DG) للخوارزمية المقترحة.

A. بنية مصفوفة انقباضية أحادية لمرشح الـ FIR:

تمثيل الاعتماد البياني :

يوضح الشكل (3a) تمثيل الاعتماد البياني (DG) لحساب خرج مرشح الـ FIR تبعاً للمعادلة (9)، وهو مكون من L سطر، وكل سطر مكون من عدد P من العقد A وعقدة خرج B، توابع العقدة A والعقدة B مبينة في الشكلين (3b) و(3c) بالترتيب.



الشكل (3) تمثيل DG لتطبيق مرشح الـ FIR اعتماداً على DA. a) تمثيل DG. (b) تابع العقدة A. (c) تابع العقدة B

يدخل موجه البت $(b_n)_{l,p}$ المكون من سلسلة من M بت (مشتقة من البت رقم l من عناصر سلسلة الدخل وفقاً للمعادلة (9)) إلى العقدة A في السطر $(l+1)$ والعمود $(p+1)$.

❖ **عمل العقدة A:** تستخدم العقدة A السلسلة المكونة من M بت من موجه بت الدخل كعنوان للـ LUT، وتقوم بقراءة المحتوى المخزن في المكان المحدد بواسطة العنوان، وبعدها تتم إضافة القيمة المقروءة من (LUT) مع الدخل القادم من الجهة اليسرى ثم تمرر المجموع إلى العقدة الموجودة في الجهة اليمنى.

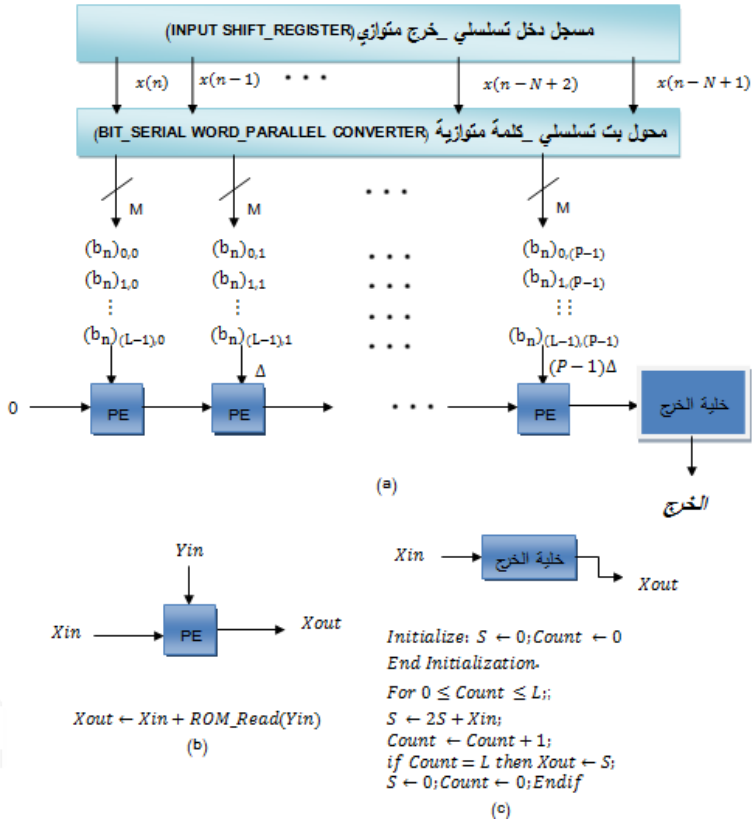
❖ **عمل العقدة B:** تنجز العقدة B عملية ازاحة وجمع أي أنها تقوم بعملية ازاحة لليسار لبيتات الدخل القادمة من الأعلى، ثم تضيف الدخل القادم من الجهة اليسرى إلى القيمة المزاحة، وتمرر النتيجة إلى العقدة المجاورة في الأسفل.

الـ DG يمكن أن يضغط بشكل عمودي [4] للحصول على مصفوفة انقباضية خطية (1_D) مكونة من عدد P من العقد وخلية خرج كما هو مبين في الشكل (4). ويتم ذلك باختيار كل من موجه التقدير وموجه المعالج وموجه الجدول بالقيم التالية:

$$s^T = (1 \quad 0)\,,\quad p^T = (1 \quad 0)\,,\quad d = \begin{pmatrix}0\\1\end{pmatrix}$$ باعتبار $$s^T d = (1 \quad 0)\begin{pmatrix}1\\0\end{pmatrix} = 1$$ فإن

$$HUE = \frac{1}{|s^T d|} = 1.$$

آلية عمل البنية:



الشكل (4) مصفوفة 1D لتطبيق مرشح الـ FIR اعتماداً على DA. (a) المصفوفة الانقباضية الأحادية.
(b) تابع العقدة PE. (c) تابع عقدة الخرج. Δ عدد وحدات التأخير.

- تدخل سلسلة الدخل {x(n)} إلى مسجل دخل تسلسلي _خرج متوازي، بحيث أن مكونات المسجل تزاح بشكل تسلسلي إلى اليمين بمقدار موضع واحد وتنقل بشكل متوازي إلى محول بت تسلسلي_كلمة متوازية كل L دورة زمن.
- تشتق بيتات الموجه $(b_n)_{l,p}$ من محول بت تسلسلي _ كلمة متوازية وينقل إلى العقدة $(p+1)$ من أجل $[p = 0,1,\ldots,P-1]$ وذلك من البيتات الأعلى أهمية (MSB_S) إلى البيتات الأقل أهمية (LSB_S) في كل دورة (خطوة زمن)، لذلك فإن البيتات (L−1) من قيم الدخل سوف تنقل في البداية إلى العقدة، بينما تنقل البيتات الصفرية في النهاية. توابع العقد (PE_s) مبينة في الشكل (4b). كل PE مكونة من ذاكرة ROM بـ 2^M كلمة.
- خلال دورة الزمن كل PE تقرأ محتوى ذاكرة الـ ROM من المكان المحدد بموجه بت_الدخل، بعد ذلك تضيف القيمة المقروءة من الـ ROM إلى الدخل القادم من العقدة المجاورة من الجهة اليسرى.
- تنقل أيضاً خلال دورة الزمن نتيجة المجموع كخرج من الجهة اليمنى للعقدة، تابع عقدة الخرج مبين في الشكل (4c)، تحتوي عقدة خرج على مسجل إزاحة وجامع، تتم خلال دورة الزمن إزاحة محتوى المسجل إلى اليسار

بموضع واحد، وعندها يضاف الدخل المتوفر إلى القيمة الحالية المزاحة والموجودة في المسجل، بعد L دورة زمن يتم الحصول على قيمة الخرج المطلوبة.

سوف تعطي هذه البنية خرجها الأول بعد (L+P) دورة زمن من لحظة وصول أول دخل إلى أول عقدة. بينما النتيجة المتعاقبة تصبح متوفرة كل L دورة زمن. يمكننا من أجل التطبيقات ذات الطاقة الإنتاجية العالية الحصول على بنية بعدد N من المصفوفات D−1، هذه البنية سوف تعطي N ناتج طي في كل L دورة زمن.

B. بنية مصفوفة انقباضية ببعدين (D−2) لمرشحات الـ FIR:

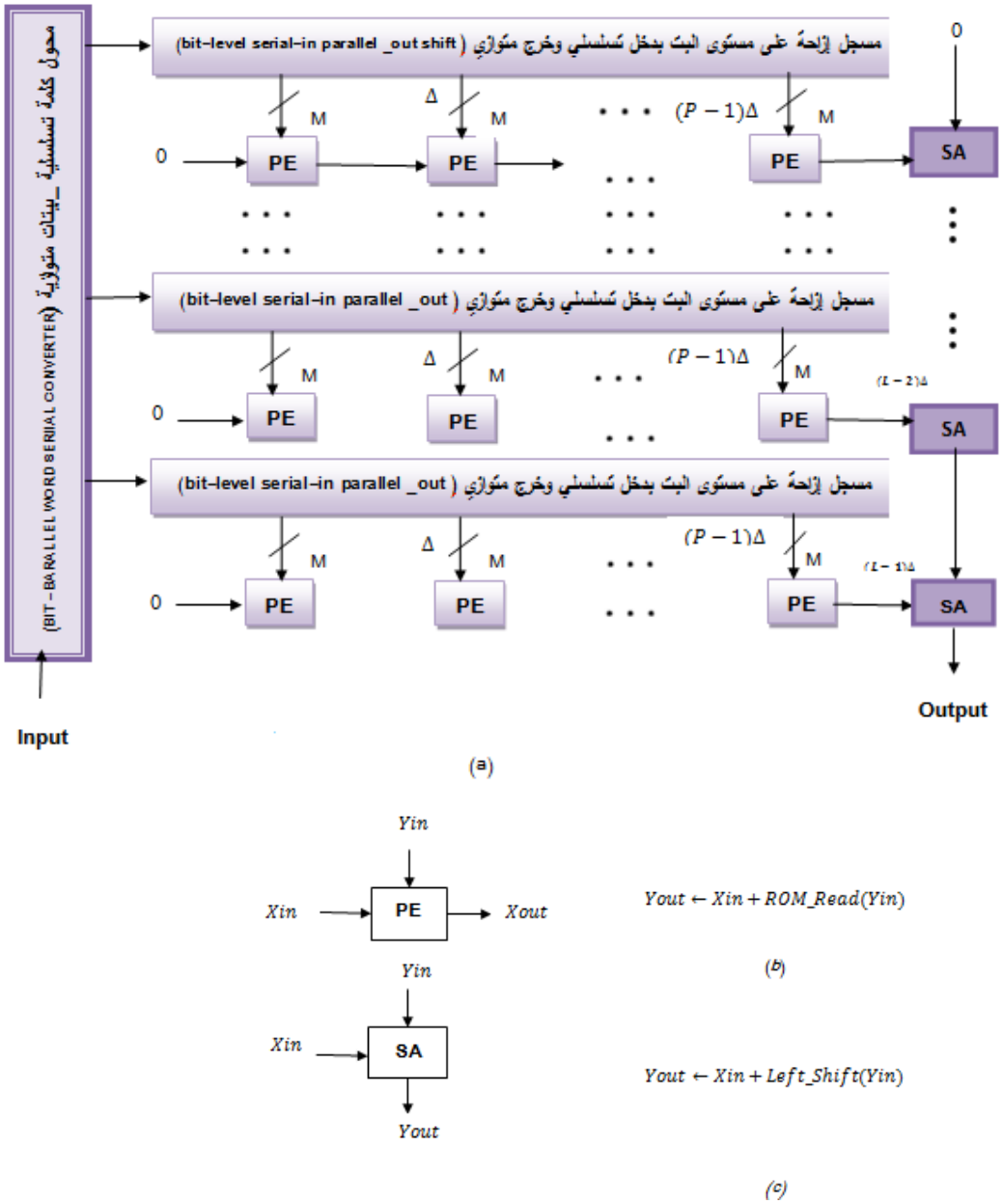
من أجل التطبيقات عالية الطاقة الإنتاجية لمرشحات الـ FIR، فإن كل عقدة من رسم الاعتماد البياني DG المبين في الشكل (3) يمكن أن تخصص كـ PE للحصول على مصفوفة انقباضية ببعدين (D−2) مكونة من L سطر و p+1 عمود كما هو مبين في الشكل (5). كل سطر في هذه البنية مكون من عدد P من العقد PE وخلية إزاحة_جمع (SA). بحيث أن حساب كل القيم اللازمة للحصول على خرج المرشح يمكن أن تكون مماثلة لتلك الموجودة في الـ DG_s، كما ويمكن استخدام العمليات الحسابية للعقد في الـ DG_s بشكل مماثل في العقد المقابلة لها في البنية.

آلية عمل البنية:

• عينات الدخل تمرر إلى محول كلمة تسلسلية _بيتات متوازية (bit−parallel word−serial) والذي يستقبل عينة دخل جديدة في كل دورة زمن، ويولد عدد L من البيتات المتوازية ويقدم بت واحد لكل مسجل إزاحة على مستوى البت بدخل تسلسلي وخرج متوازي (bit−level serial−in parallel _out shift register SIPOSR) والمرتبط مع كل سطر من عقد الـ PE_S كما هو مبين في الشكل (5).

• يحتوي كل (SIPOSR) على تيار بيتات ناتج من كافة كلمات الدخل، لذلك فإن المسجل (SIPOSR) الموجود في السطور الأعلى يحتوي على البيتات الأعلى أهمية مقارنة مع المسجلات في السطور الدنيا. تزيح كل من هذه المسجلات (SIPOSR) في هذه البنية محتواها إلى اليمين بمقدار موضع بت واحد وتستقبل بت جديد في كل دورة زمن، وبالتالي يتم استقبال عينة جديدة إلى محول دخل_تسلسلي خرج _متوازي. موجه_البت (bit−vector) $(b_n)_{l,p}$ المكون من عدد M من البيتات الناتج من مسجل الإزاحة SIPOSR $(l+1)$ يحمل إلى العقدة (P+1) في السطر $(l+1)$ وذلك من أجل $(0 \le l \le L-1, 0 \le p \le P-1)$.

• كل PE مبينة في الشكل (3) تستخدم موجه_البت $((b_n)_{l,p})$ كعنوان لـ LUT لقراءة النتيجة الجزئية. بعدها تقوم الـ PE بجمع الدخل المتوفر من الجهة اليسرى مع القيمة الحالية المقروءة للقيمة الجزئية وتمرر النتيجة كخرج من الجهة اليمنى. كل سطر في البنية منتهي بخلية SA. تابع خلية الـ SA موضح في الشكل (5c). كل SA خلال دورة زمن تقوم بإزاحة لليسار للدخل المتوفر من الأعلى ثم تضيفه إلى الدخل المتوفر من الجهة اليسرى، والمجموع الناتج يمرر إلى العقدة المجاورة في الأسفل.



الشكل (5) مصفوفة 2-D لمرشح الـ FIR.(a) امصفوفة الانقباضية 2-D .
(b) تابع العقدة PE.(c) تابع عقدة الـ SA. Δ عدد وحدات التأخير.

في المصفوفة الأحادية المبينة في الشكل (4)، معالجة تيارات بيتات مختلفة تتم خلال أزمنة متعددة في نفس الـ PE، بينما في بنية مصفوفة 2D المبينة في الشكل (5) فإن كل تيار بيتات يعالج في سطر خاص من الـ PE_s.

يمكننا أيضاً الحصول على بنية بعدد q من هذه المصفوفات الأحادية حيث $L = qu$ باعتبار u و q أعداد صحيحة. بحيث ان العقد لعدد u من أسطر الـ DG توجه إلى بنية مصفوفة انقباضية أحادية بدلاً من توجيه عقد كل الأسطر إلى نفس البنية المصفوفة الأحادية. وبالتالي يمكن للمصمم اختيار بنية بعدة مصفوفات أحادية، وبشكل مشابه يمكنه

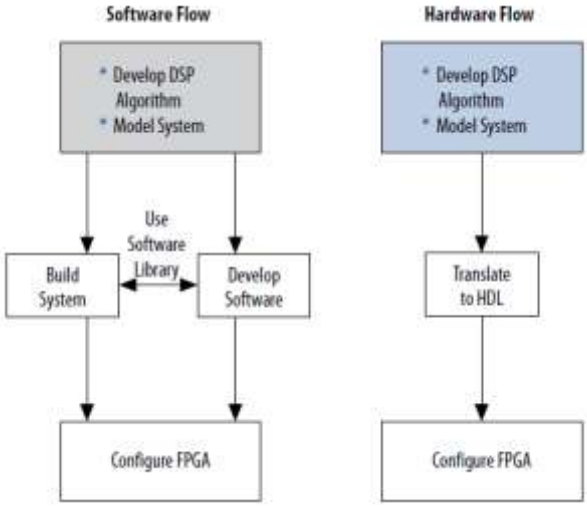
أيضاً اختيار قيمة مناسبة لـ P(P هو عدد الـ PEs في سطر واحد من المصفوفة) وذلك للحصول على تطبيق مرن يحقق مواصفات الزمن والكيان الصلب للأنظمة ذات القيود.

النتائج والمناقشة:

البنية النهائية للمصفوفة الانقباضية للتصميم المقترح طبقت باستخدام الـ DSP Builde كوسيط للانتقال مباشرة إلى برنامج الـ Quartus II وبالتالي برمجة شريحة الـ FPGA ،لذلك سنعرض في هذا القسم ملخص بسيط عن الـ DSP Builder ثم نتقل إلى مناقشة النتائج ومقارنتها مع نتائج الدراسات السابقة والتي طبقت على شريحة الـ FPGA.

A. DSP Builder:

بشكل تقليدي يستخدم مهندسو الأنظمة تدفق الكيان الصلب بالاعتماد على لغات وصف الكيان الصلب HDL، مثل Verilog HDL أو VHDL، لتطبيق أنظمة الـ DSP على FPGA. أدوات من شركة ALTERA مثل DSP Builder تمكن المصمم من استخدام تدفق الكيان المرن لتطبيق التصميم على FPGA. أداة الـDSP Builder تبسط تطبيق الكيان الصلب لتوابع الـ DSP، وتؤمن أداة تحقق على مستوى النظام لمهندسي الأنظمة الذين ليسو بالضرورة على دراية كافية بتدفق التصميم باستخدام الـ HDL، وتمكن مهندسي الأنظمة من تطبيق توابع الـ DSP على FPGA بدون تعلم الـ HDL.



الشكل (6) مقارنة بين بين تدفق الكيان الصلب وتدفق الكيان المرن لتطبيق التصميم على الـ FPGA

تؤمن أداة الـ DSP Builder وصلة من الـ Simulink مباشرة إلى الـ FPGA. إضافة إلى ذلك يمكن للمصمم أن يدمج التصاميم المنشأة باستخدام الـ DSP Builder في نظام Qsys لاستكمال تطبيق نظام الـ DSP. الشكل (6) يظهر مقارنة بين تدفق الكيان الصلب وتدفق الكيان المرن لتطبيق التصميم على الـ FPGA [26].

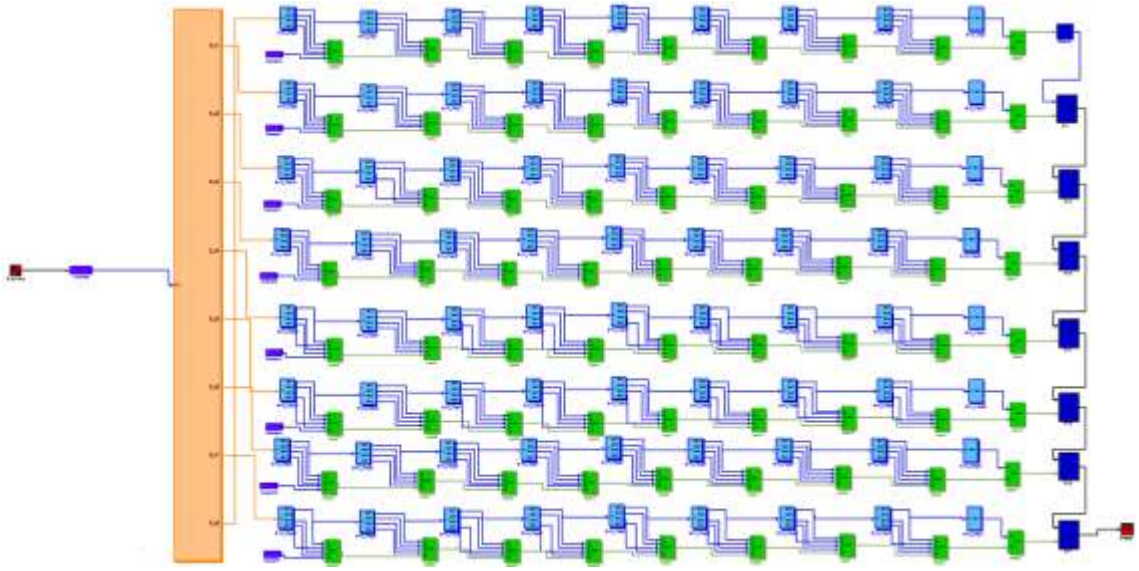
B. البنية النهائية ومناقشة النتائج

وفقاً للخوارزمية المقترحة فإن متطلبات الذاكرة و عدد الجوامع و التأخير والطاقة الانتاجية لبنيتي المصفوفة الانقباضية (1D و2D) مبينة في الجدول (1).

الجدول (1) تعقيدات العتاد الصلب والزمن للبنيتين المقترحتين (المصفوفة الانقباضية الأحادية والثنائية)

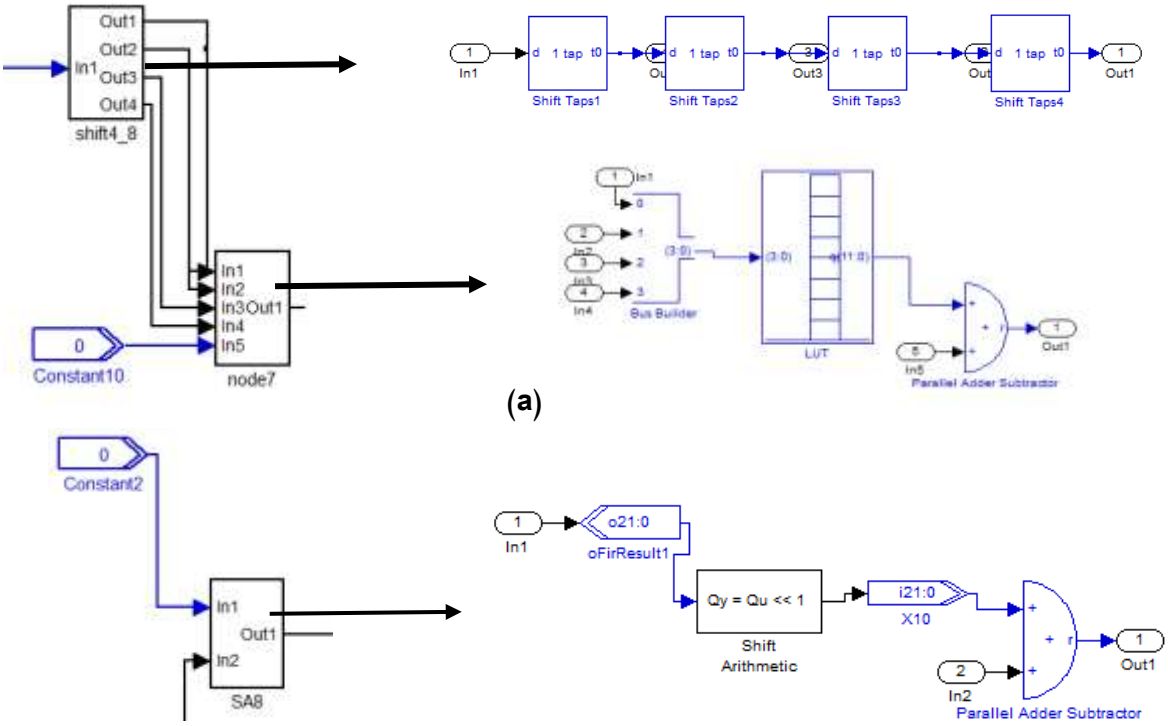
Structures	Proposed 1-D Structure	Proposed 2-D Structure
number of ROM Words	$P.2^{N/P}$	$LP.2^{N/P}$
number of adders	$(P+1)$	$L(P+1)$
Latency in cycles	$(L+P)$	$(L+P)$
Throughput per cycle	$1/L$	1

يظهر الشكل (7) تطبيق البنية المقترحة للمصفوفة الانقباضية 2D لمرشح FIR بـ N= 32 tap وبطول كلمة L=8، ومن أجل M=4 (طول عنوان الـ LUT) و P=8 (عدد الـ PEs في كل سطر من أسطر المصفوفة) وذلك باستخدام الـ DSP Builder. (البنية يمكن أن تحقق أي مرشح بطول 32 tap ومن أجل دخل بطول كلمة 8 bit ومن أجل LUTs بطول عنوان مساوي لـ 4، وقد تم اختيار M=4 بحيث يكون حجم ذاكرة الـ LUT مساوي لـ 2^M =16 وهو حجم متوسط يعطي سرعة مقبولة في استخراج البيانات من الـ LUT، وبالتالي يكون P=8 حسب العلاقة N=P*M).

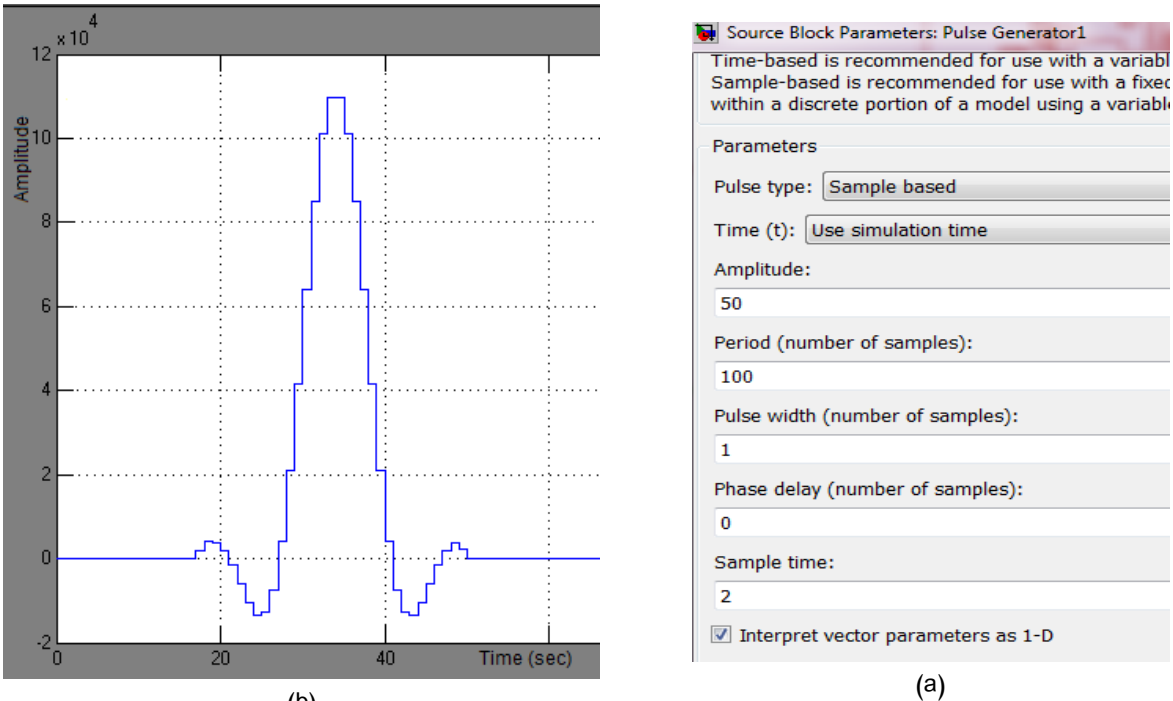


الشكل (7) بنية المصفوفه الانقباضية الثنائية المقترحة لمرشح الـ FIR

يبين الشكلان (8a) و(8b) المكونات الداخلية لكل من عقد المصفوفة الانقباضية وعقد الخرج على الترتيب.



الشكل(8) المكون الداخلي للعقد في البنية الثنائية المقترحة. (a) عقد المصفوفة الانقباضية. (b) عقد الخرج.



(b) (a)

الشكل (9) محاكاة البنية الثنائية ،(a) إشارة الدخل ،(b) إشارة الخرج

• الشكل (9b) يبين إشارة خرج البنية المصممة من أجل إشارة الدخل المبينة في الشكل (9a). يظهر الشكل (9b) أن التأخير لهذه البنية هو (17 samples) وهو يساوي (L+P=16 samples) مضافاً اليها تأخير بمقدار 1 sample ضمن محول كلمة تسلسلية _بيتات متوازية (وذلك باعتبار أن دورة الزمن تساوي زمن العينة في هذه المحاكاة).

• إن بنية المصفوفة الانقباضية 2D المطبقة في هذه الدراسة تتكون من عدد L من المصفوفات الخطية 1D (حيث L هو طول الكلمة)، والتي تعطي كفاءة انتاجية أعلى بـ L مرة مقابل الازدياد بحوالي L مرة للمساحة اللازمة لتطبيق هذه البنية على الـ FPGA مقارنة مع بنية المصفوفة الانقباضية الأحادية 1D

الجدول (2) مقارنة السرعات بين المرشح التقليدي والبنية الأحادية المقترحة

Filter cores	Conv.UDF Filter core	Conv.UDF FIR filter core with DA Algorithm
Min Period	26.789 ns	18.161 ns
Input Arrival time	9.574 ns	9.574ns
Output Reg Time	15.842 ns	16.526 ns
MAX Freq	37.316 ns	55.063 ns
Speed Improvement	_____	47.56%

• الجدول (2) يبين نتائج مقارنة السرعة بين مرشح الـ FIR التقليدي ومرشح الـ FIR ببنية المصفوفة الأحادية المقترحة التي نفذت في الدارسة [20]. هذه البنية أدت إلى زيادة بالسرعة بمقدار 47% مقارنة مع البنية التقليدية لمرشح الـ FIR، إضافة إلى ذلك ولدى مقارنة النتائج تبين أن البنية المقترحة أدت إلى زيادة في الكفاءة بالنسبة لاستهلاك الطاقة مع استهلاك المساحة نفسها تقريباً.

• ذكرت نتيجة متوقعة من تطبيق البنية المقترحة (1D & 2D) على الـ FPGA في [20] ولكن لم تذكر أي تحليل أو تفسير لهذه النتيجة، واكتفى الباحثون بذكرها كما يلي:

" لقد وجدنا أن اختيار طول العنوان M=4 ينتج أفضل تحقيق من حيث الكفاءة في المساحة والتأخير واستهلاك الطاقة لمرشحات الـ FIR من أجل درجات مختلفة للمرشح "

ويمكننا تفسير هذه النتيجة من حقيقة ازدياد منطق التحكم وعدد عناصر التأخير في مقابل الربح في انخفاض حجم الـ LUT عندما تكون($M < 4$) ، والازدياد في متطلبات الذاكرة للـ LUT من أجل ($M > 4$). ومن جهة أخرى فمن المهم أن نذكر أن الـ LUT بأربع مداخل تدخل في تركيب بلوك البناء الأساسي في الـ FPGA.

• إن البنية المقترحة سوف تعطي الأداء المتفوق من حيث المساحة والسرعة واستهلاك الطاقة بين جميع البنى السابقة التي تعتمد على خوارزمية الحساب الموزع وذلك لأن عدد الجوامع يزداد بشكل خطي مع ازدياد درجة المرشح في جميع الدراسات المرجعية، حيث أن جميع هذه البنى تستخدم شجرة من الجوامع لحساب القيم النهائية قبل عملية الإزاحة والتراكم، بينما في البنية المقترحة فإن عدد الجوامع لا يتعلق بشكل مباشر بدرجة المرشح وإنما بعدد الأسطر والأعمدة في المصفوفة الانقباضية بالإضافة إلى ذلك فإن البنية المقترحة تتطلب تعقيد أقل لمنطق التحكم مقارنة مع البنى الأخرى، وتستخدم ذواكر SRAM (لتحقيق الـ LUT) التي تعتبر أسرع بكثير مقارنة مع ذواكر الـ ROM المستخدمة في بعض البنى السابقة، وتطبيقها على أجهزة الـ FPGA يؤدي إلى انخفاض في استهلاك الطاقة.

الاستنتاجات والتوصيات:

قمنا باشتقاق تصاميم مرنة لبنى حسابية انقباضية أحادية وثنائية (1D و2D) للتطبيق عالي الكفاءة من حيث المساحة والتأخير واستهلاك الطاقة لمرشحات الـ FIR وذلك بتجزئة العناوين لحسابات الجداء الداخلي المعتمدة على خوارزمية الحساب الموزع. لقد وجدنا أن اختيار طول العنوان المناسب للـ LUTs المستخدمة في حساب النتيجة الجزئية للجداء الداخلي اعتماداً على DA، يساعد في زيادة كفاءة الكيان الصلب لمرشحات الـ FIR المعتمدة على الذواكر. المصفوفة الانقباضية الأحادية أدت إلى انخفاض ملحوظ في استهلاك الطاقة والمساحة مقارنة مع مرشحات الـ FIR الموجودة والمعتمدة على DA.

من أجل التطبيقات التي تتطلب سرعات عالية في معالجة الإشارة، فإن المصفوفة الانقباضية الثنائية 2D المكونة من L مصفوفة انقباضية أحادية (حيث L هو طول الكلمة) يمكن أن تستخدم لمعالجة سلاسل البت الفردية الناتجة من اشارة الدخل بشكل منفصل عن بعضها البعض وذلك في مصفوفات انقباضية أحادية مختلفة. بنية الـ 2D سوف تعطي طاقة إنتاجية أعلى بـ L مرة في مقابل الزيادة في المساحة المستهلكة بحوالي L مرة تقريباً مقارنة مع بنية 1D. في المستقبل لرفع كفاءة مرشحات الـ FIR المعتمدة على DA نوصي باستخدام معاملات أخرى لتجزئة حسابات الجداء الداخلي المعتمدة على DA، فمثلاً يمكننا استخدام المعامل 3 للحصول على مصفوفة انقباضية ثلاثية أو المعامل 4 للحصول على مصفوفة انقباضية رباعية.

يتطلب تطبيق مرشحات الـ FIR اعتماداً على خوارزمية الحساب الموزع استخدام LUTs وذلك لتخزين النتائج الجزئية، ولكن يزداد حجم الـ LUT مع ازدياد درجة المرشح، ولذلك ولرفع أداء مرشح الـ FIR نوصي بتطبيق يعتمد على خوارزمية الحساب الموزع بدون استخدام الـ LUT واستبدالها بنواخب (MUX). بحيث أن كل مسجل إزاحة يستخدم MUX للاختيار بين الصفر أو معامل المرشح.

المراجع:

[1]. PROAKIS ,J. G ؛ MANOLAKIS, D. G. *Digital Signal Processing: Principles, Algorithms and Applications.* Upper Saddle River, NJ: Prentice-Hall, 1996,1033.

[2]. ANTONIOU, A. *Digital filters : analysis, design, and applications*. New York: McGraw-Hill, 1993,677.

[3]. KUNG, H. T. *"Why systolic architectures?"*. IEEE Computer, vol. 15, 1982, pp. 37–45.

[4]. PARHI, K. K. *VLSI Digital Signal Procesing Systems: Design and Implementation*. John Wiley & Sons, New York, 1999, 808.

[5]. WYRZYKOWSKI, R ؛OVRAMENKO, S. *Flexible systolic architecture for VLSI FIR filters*, ," IEE Proceedings-Computers and Digital Techniques. vol. 139, no. 2, Mar. 1992, pp. 170–172.

[6]. MOHANTY,B.K؛ MEHER,P,K. *Cost-effective novel flexible celllevel systolic architecture for high throughput implementation of 2-D FIR filters*. IEE Proceedings-Computers and Digital Techniques, vol.143, no. 5, Nov. 1996, pp. 436–439.

[7]. MOHANTY,B,K؛ MEHER,P,K. *Novel flexible systolic mesh architecture for parallel VLSI*. IETE Journal of Research,vol.44,no,6,Nov.1998,pp.261_266.

[8]. WHITE,S.A. *Applications of the distributed arithmetic to digital signal processing: A tutorial review*. IEEE ASSP Magazine, vol. 6, no. 3, July 1989, pp. 5–19.

[9]. CROISIER,A؛ ESTEBAN,D.J؛ LEVILION,M.E؛ RIZO.V. *Digital filter for pcm encoded signals*, U.S. Patent 3 777 130, Apr., 1973.

[10]. PELED,A؛ LIE,B. *A new hardware realization of digital filters* .IEEE Transactions on Acoust. speech and signal procesing, vol. 22, Dec. 1974, pp.456-462.

[11]. CHOI,J.P؛ SHIN,S.C؛ CHUNG,G. *Efficient ROM size reduction for distributed arithmetic*. IEEE International Symp on Circuits and Syst- ISCAS,Proc, . 2, pp. 61–64, May 2000.

[12]. YOO.H؛ANDERSON D.V. *Hardware-efficient distributed arithmetic architecture for high-order digital filters*. IEEE International Conference on Acoustics, Speech, and Signal Processing, (ICASSP '05),Proc,vol.5,Mar.2005,pp.v/125-v/128.

[13]. JENG,S.S؛ LIN,H.C؛ CHANG,S,M. *FPGA implementation of FIR filter using M-bit parallel distributed arithmetic*.2006 IEEE International Symposium on Circuits and Systems, ISCAS 2006,*Proc*,May 2006, 4 pp. – 878.

[14]. NARENDRA,S.P؛ HARJIT,P,S؛ SARIN,R.K. *Implementation of High Speed FIR Filter using Serial and Parallel Distributed Arithmetic Algorithm.* International Journal of Computer Applications (0975 – 8887),vol 25,no.7, July 2011,pp.183-188.

[15]. MAGATHA,M.B؛ . ANJAIAH,K؛ SRAVYA.G؛ NAGARAJU,P. *The Design of High Speed FIR Filter using Improved DA Algorithm and it's FPGA* Implementation. International Journal of Engineering Trends and Technology, Vol.3,Issue2, 2012,pp.123-126.

[16]. EKTA.H.J؛ CHANDU.N.B. *Implementation of High speed operating FIR Filter with DA Algorithm comparing results with MAC Algorithm and simple FIR Filter result.* Journal of The International Association of Advanced Technology and Science, Vol. 16,no.5, APRIL 2015,p.8.

[17]. RAMESH .R ؛ NATHIYA .R. *Realization Of Fir Filter Using Modified Distributed Arithmetic Architecture*. Signal & Image Processing : An International Journal (SIPIJ) ,Vol.3, No.1, 2012,pp.83-94.

[18]. RUCKDESCHEL.H؛ DUTTA.H؛ HANNIG.F؛ TEICH.J. *Automatic FIR filter generation for FPGAs*. 5th International Workshop on Systems, Architectures, Modeling, and Simulation, SAMOS 2005, T. D. H. et al., Ed.,Proc, vol. LNCS 3553, July 2005,pp. 51–61.

[19]. MEHE,P.K. *Hardware-efficient systolization of DA-based calculation of finite digital convolution.* IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: EXPRESS BRIEFS,vol.53,no.8,Aug2006,pp.707-711.

[20]. NAZEERUDDIN.SK؛ NARASIMHARAO. T. *An Optimized Implementation of DA-Based Reconfigurable FIR Digital Filter .International Journal Of Eminent Engineering Technology*, Vol. 3, Issue. 1, JULY 2015 ,pp.183-188.

[21]. PELEDAND.A؛ LIU.B. *A new hardware realization of digital filters*. , IEEE Transactions on Acoustics, Speech, and Signal Processing. Vol. ASSP-22, No. 6, 1974, pp. 456-462.

[22]. ZOMAYA, A.Y. *Parallel and Distributed Computing Handbook*, McGraw-Hill, New York, USA, 1996,pp. 500-536.

[23]. PIRSH, P. Architectures *for Digital signal Processing*. John Wiley & Sons Ltd,Baffin's Lane, Chichester, West Sussex PO19UD, England, 1998, 419.

[24]. KUMAR, V; GRAMA,A; GUPTA, A; KARYPIS, G. *Introduction to Parallel Computing "Design and analysis of Algorithms*". 2nd.ed, Addison Wesley, 2003, pp.491-523.

[25]. PROAKIS, J. G ؛ MANOLAKIS, D. G. *Digital Signal Processing: Principles, Algorithms, and Applications*, 2nd edition, Macmillan,1033, 1992.

[26]. *DSP Builder Introduction*, ALTERA ,2015.